

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

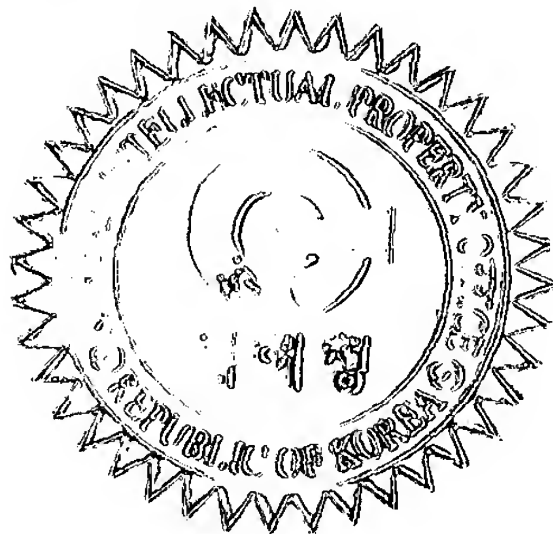
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0081790
Application Number

출원 년 월 일 : 2002년 12월 20일
Date of Application DEC 20, 2002

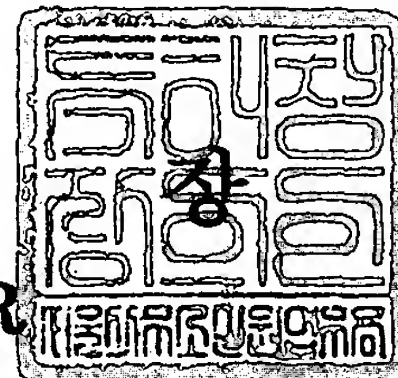
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.12.20
【발명의 명칭】	플로팅 게이트를 갖는 비휘발성 기억 셀 및 그 형성방법
【발명의 영문명칭】	Non-volatile memory cells having floating gate and method of forming the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	박성철
【성명의 영문표기】	PARK, SUNG CHUL
【주민등록번호】	730102-1075313
【우편번호】	158-095
【주소】	서울특별시 양천구 신월5동 77-1 금강연립 A-105
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	30 면 30,000 원

1020020081790

출력 일자: 2003/7/2

【우선권주장료】	0	건	0	원
【심사청구료】	19	항	717,000	원
【합계】	776,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

플로팅 게이트를 갖는 비휘발성 기억 셀 및 그 형성방법을 제공한다. 이 비휘발성 기억 셀은 반도체기판에 형성되어 활성영역을 한정하는 소자분리막을 구비한다. 활성영역 상부에 복수개의 제1 도전막 패턴들 및 복수개의 제2 도전막 패턴들이 교대로 적층된 구조의 플로팅 게이트가 배치되고, 플로팅 게이트 및 활성영역 사이에 제1 절연막이 배치된다. 이때, 플로팅 게이트의 측벽은 제1 도전막 패턴 및 제2 도전막 패턴 중에 하나가 돌출되어 요철형태를 이룬다. 이에 따라, 플로팅 게이트의 표면적이 증가하여 플로팅 게이트 및 제어 게이트 전극 간의 커플링 비율이 증가한다. 결과적으로, 비휘발성 기억 셀의 동작전압을 감소시킬 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

플로팅 게이트를 갖는 비휘발성 기억 셀 및 그 형성방법{Non-volatile memory cells having floating gate and method of forming the same}

【도면의 간단한 설명】

도 1은 본 발명의 일 실시예에 따른 비휘발성 기억 셀을 설명하기 위한 단면도이다.

도 2는 도 1의 I-I'을 따라 취해진 단면도이다.

도 3 내지 도 7은 본 발명의 일 실시예에 따른 비휘발성 기억 셀의 형성방법을 설명하기 위한 사시도들이다.

도 8은 본 발명의 다른 실시예에 따른 비휘발성 기억 셀을 나타내는 단면도이다.

도 9는 도 8의 II-II'을 따라 취해진 단면도이다.

도 10은 도 8의 III-III'을 따라 취해진 단면도이다.

도 11a 내지 도 15는 본 발명의 다른 실시예에 따른 비휘발성 기억 셀의 형성방법을 설명하기 위한 평면도들이다.

도 11b 내지 도 15b는 각각 도 11a 내지 도 15a의 IV-IV'을 따라 취해진 단면도들이다.

도 11c 내지 도 15c는 각각 도 11a 내지 도 15a의 V-V'을 따라 취해진 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체소자 및 그 형성방법에 관한 것으로, 특히 플로팅 게이트를 갖는 비휘발성 기억 셀 및 그 형성방법에 관한 것이다.
- <11> 플로팅 게이트를 갖는 비휘발성 기억소자는 전기적으로 데이터를 프로그램 및 삭제가 가능하며, 전원이 공급되지 않는 상황에서도 프로그램된 데이터들이 사라지지 않는 기억소자이다. 전기적으로 격리된 플로팅 게이트 내에 전하들을 유입하거나 플로팅 게이트로부터 전하들을 방출함에 따라, 데이터를 프로그램 또는 삭제한다. 전하들이 플로팅 게이트 및 반도체기판 사이에 개재된 절연막을 통과하는 방식은 핫캐리어 주입 방식 또는 F-N터널링(Fowler-Nordheim tunneling) 방식을 사용한다. 일반적으로, 플로팅 게이트를 갖는 비휘발성 기억소자는 플로팅 게이트 상부에 위치하는 제어 게이트 전극에 동작 전압(프로그램 전압 또는 소거 전압)이 인가되고, 이 동작 전압에 따른 플로팅 게이트에 유기되는 전압에 의하여 전하들이 플로팅 게이트로 유입되거나, 플로팅 게이트로부터 방출된다.
- <12> 한편, 반도체 소자의 고집적화 경향에 따른 낮은 동작전압 및 적은 선평의 요구로 인하여, 플로팅 게이트를 갖는 비휘발성 기억 소자는 커플링 비율(Coupling ratio)이 문제점으로 대두 되고 있다. 커플링 비율이란 제어 게이트 전극에 인가되는 동작전압에 대하여 플로팅 게이트에 유기되는 전압의 비를 나타낸다. 즉, 커플링 비율이 커질수록 제어 게이트 전극에 인가되는 동작전압에 대한 플로팅 게이트에 유기되는 전압이 커진다.

이에 따라, 플로팅 게이트를 갖는 비휘발성 기억 소자의 동작전압을 감소시킬 수 있다. 커플링 비율은 플로팅 게이트 및 제어 게이트 전극 간의 정전용량이 증가할수록 증가한다. 이로 인하여, 현재, 플로팅 게이트 및 제어 게이트 전극 사이의 정전용량을 늘리기 위한 여러가지 방법들이 제안되고 있다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명이 이루고자 하는 기술적 과제는 동작전압을 감소시키기 위하여 커플링 비율을 증가시킬 수 있는 플로팅 게이트를 갖는 비휘발성 기억 셀을 제공하는 데 있다.

<14> 본 발명이 이루고자 하는 다른 기술적 과제는 동작전압을 감소시키기 위하여 커플링 비율을 증가시킬 수 있는 플로팅 게이트를 갖는 비휘발성 기억 셀의 형성방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<15> 상술한 기술적 과제를 해결하기 위한 플로팅 게이트를 갖는 비휘발성 기억 셀을 제공한다. 이 비휘발성 기억 셀은 반도체기판에 형성되어 활성영역을 한정하는 소자분리막을 포함한다. 상기 활성영역 상부에 복수개의 제1 도전막 패턴들 및 복수개의 제2 도전막 패턴들이 교대로 적층된 구조의 플로팅 게이트가 배치된다. 상기 플로팅 게이트 및 상기 활성영역 사이에 제1 절연막이 개재된다. 이때, 상기 플로팅 게이트의 측벽은 상기 제1 도전막 패턴 및 상기 제2 도전막 패턴 중 하나가 돌출되어 요철형태를 이룬다.

<16> 구체적으로, 상기 제1 도전막 패턴 및 상기 제2 도전막 패턴 중 하나는 도핑된 폴리실리콘막(doped poly-Si layer)으로 이루어지고, 다른 하나는 도핑된 실리콘게르마늄막(doped SiGe layer)으로 이루어지는 것이 바람직하다. 이때, 상기 도핑된 폴리실리콘

막은 돌출되어 상기 플로팅 게이트 측벽의 불룩한 부분을 이루고, 상기 도핑된 실리콘게르마늄막은 상기 플로팅 게이트 측벽의 오목한 부분을 이루는 것이 바람직하다.

- <17> 상기 비휘발성 기억 셀은 상기 플로팅 게이트 상부에 상기 활성영역을 가로지르도록 배치된 게이트 전극 및 상기 제어 게이트 전극과 상기 플로팅 게이트 사이에 개재된 게이트 층간 유전막 패턴을 더 포함할 수 있다. 이때, 상기 게이트 층간 유전막 패턴 및 상기 제어 게이트 전극은 상기 플로팅 게이트의 상부면 및 상기 요철형태의 측벽 상에 배치되는 것이 바람직하다.
- <18> 상기 비휘발성 기억 셀은 상기 제어 게이트 전극 일측의 상기 활성영역 상을 가로지르는 선택 게이트 패턴 및 상기 선택 게이트 패턴과 상기 제어 게이트 전극 사이의 활성영역 내에 배치된 플로팅 불순물확산층을 더 포함할 수 있다. 이때, 상기 플로팅 불순물확산층의 일부분 및 상기 플로팅 게이트의 일부분은 중첩되는 것이 바람직하다. 상기 중첩되는 영역 내에 상기 플로팅 게이트 하부면의 소정영역 및 그 아래의 활성영역을 포함하는 터널창 영역이 배치될 수 있다. 상기 터널창 영역 내에 상기 플로팅 게이트 및 상기 활성영역 사이에 제2 절연막이 개재되는 것이 바람직하다. 상기 제2 절연막은 상기 제1 절연막에 비하여 얇은 두께를 갖는 것이 바람직하다.
- <19> 상술한 다른 기술적 과제를 해결하기 위한 플로팅 게이트를 갖는 비휘발성 기억 셀의 형성방법을 제공한다. 이 방법은 반도체 기판에 소자분리막을 형성하여 활성영역을 한정하는 단계를 포함한다. 상기 활성영역 상에 제1 절연막을 형성하고, 상기 제1 절연막을 갖는 반도체기판 전면 상에 복수개의 제1 도전막들 및 복수개의 제2 도전막들이 교대로 적층된 구조를 갖는 게이트 도전막을 형성한다. 상기 게이트 도전막을 등방성 식각을 포함하는 패터닝 공정을 진행하여 요철형태의 측벽을 갖는 플로팅 게이트를

형성한다. 이때, 상기 등방성 식각은 상기 제1 및 제2 도전막들에 대하여 식각선택비를 갖는다.

<20> 구체적으로, 상기 제1 도전막 및 상기 제2 도전막 중 하나는 도핑된 폴리실리콘막으로 형성하고, 다른 하나는 도핑된 실리콘게르마늄막으로 형성하는 것이 바람직하다. 이때, 상기 등방성 식각은 HeO_2 가스를 포함하는 식각가스를 사용하는 건식식각을 사용하는 것이 바람직하다. 상기 식각가스는 상기 도핑된 폴리실리콘막에 비하여 상기 도핑된 실리콘게르마늄막을 더 빨리 식각한다. 상기 도핑된 폴리실리콘막 및 상기 도핑된 실리콘게르마늄막은 인시츄(in-situ) 방식으로 도핑하는 것이 바람직하다.

<21> 이 형성방법은 상기 플로팅 게이트 상에 배치된 게이트 층간 유전막 패턴 및 제어 게이트 전극을 형성하는 단계를 더 포함할 수 있다. 이때, 상기 게이트 층간 유전막 패턴 및 상기 제어 게이트 전극은 상기 플로팅 게이트의 상부면 및 요철형태의 측벽 상에 형성되는 것이 바람직하다.

<22> 상기 플로팅 게이트, 상기 게이트 층간 유전막 패턴 및 상기 제어 게이트 전극을 형성하는 방법은 상기 게이트 도전막을 이방성 식각으로 패터닝하여 예비 게이트 도전막 패턴을 형성하는 단계를 포함할 수 있다. 상기 예비 게이트 도전막 패턴의 측벽을 상기 등방성 식각으로 식각하여 요철형태의 측벽을 갖는 게이트 도전막 패턴을 형성하고, 상기 게이트 도전막 패턴을 갖는 반도체기판 전면 상에 게이트 층간 유전막 및 제어 게이트 전극막을 차례로 형성한다. 상기 제어 게이트 전극막, 상기 게이트 층간 유전막 및 상기 게이트 도전막 패턴을 연속적으로 패터닝하여 차례로 적층된 플로팅 게이트, 게이트 층간 유전막 패턴 및 상기 활성영역을 가로지르는 제어 게이트 전극을 형성한다.

<23> 더 나아가서, 이 형성방법은 상기 제어 게이트 전극 일측의 상기 활성영역 상을 가로지르는 선택 게이트 패턴을 형성하는 단계를 더 포함할 수 있다. 이 경우에, 상기 플로팅 게이트, 상기 게이트 층간 유전막 패턴, 상기 제어 게이트 전극 및 상기 선택 게이트 패턴을 형성하는 방법은 상기 게이트 도전막을 이방성 식각으로 패터닝하여 예비 게이트 도전막 패턴을 형성하는 단계를 포함할 수 있다. 상기 예비 게이트 도전막 패턴의 측벽을 상기 등방성 식각으로 식각하여 요철형태를 갖는 게이트 도전막 패턴을 형성하고, 상기 게이트 도전막 패턴을 갖는 반도체기판 전면 상에 제어 게이트 유전막 및 제어 게이트 전극막을 차례로 형성한다. 상기 제어 게이트 전극막, 상기 게이트 층간 유전막 및 상기 게이트 도전막 패턴을 연속적으로 패터닝하여 차례로 적층된 플로팅 게이트, 게이트 층간 유전막 패턴 및 제어 게이트 전극을 형성함과 동시에, 상기 제어 게이트 전극 일측의 상기 활성영역 상을 가로지르는 선택 게이트 패턴을 형성한다.

<24> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<25> 실시예 1)

- <26> 도 1은 본 발명의 일 실시예에 따른 비휘발성 기억 셀을 설명하기 위한 단면도이며, 도 2는 도 1의 I-I'을 따라 취해진 단면도이다.
- <27> 도 1 및 도 2를 참조하면, 반도체기판(101)에 활성영역을 한정하는 소자분리막(103)이 배치된다. 상기 소자분리막(103)은 트렌치 소자분리막으로 이루어질 수 있으며, 실리콘산화막으로 이루어질 수 있다.
- <28> 상기 활성영역 상부에 요철형태의 측벽을 갖는 플로팅 게이트(110b)가 배치된다. 상기 플로팅 게이트(110b)는 복수개의 제1 도전막 패턴들(107b) 및 복수개의 제2 도전막 패턴들(109b)이 번갈아가며 적층된 구조를 갖는다. 상기 제1 도전막 패턴(107a) 및 상기 제2 도전막 패턴(109a) 중 하나는 돌출되어 상기 플로팅 게이트(110b) 측벽의 볼록한 부분을 이루고, 다른 하나는 상기 플로팅 게이트(110b) 측벽의 오목한 부분을 이룬다.
- <29> 상기 제1 도전막 패턴(107b) 및 상기 제2 도전막 패턴(109b) 중 하나는 도핑된 폴리실리콘막으로 이루어지고, 다른 하나는 도핑된 실리콘게르마늄막으로 이루어지는 것이 바람직하다. 상기 제1 도전막 패턴(107b)이 상기 도핑된 폴리실리콘막으로 이루어지고, 상기 제2 도전막 패턴(109b)이 상기 도핑된 실리콘게르마늄막으로 이루어질 경우에, 상기 제1 도전막 패턴들(107b)은 돌출되어 상기 플로팅 게이트(110b) 측벽의 볼록한 부분들을 이룬다. 이에 반해, 상기 제2 도전막 패턴들(109b)은 상기 플로팅 게이트(110b) 측벽의 오목한 부분들을 이룬다.
- <30> 상기 플로팅 게이트(110b) 및 상기 활성영역 사이에 터널 절연막 패턴(105a)이 개재된다. 상기 터널 절연막 패턴(105a)은 실리콘산화막으로 이루어질 수 있다. 상기 플로팅 게이트(110b) 상부에 상기 활성영역을 가로지르는 제어 게이트 전극(120a)이 배치된다. 이때, 상기 제어 게이트 전극(120a)은 상기 플로팅 게이트(110b)의 요철형태의 측벽

상부에도 배치된다. 상기 제어 게이트 전극(120a)은 도전막, 예컨대, 도핑된 폴리실리콘막 또는 폴리사이드막으로 이루어질 수 있다. 상기 폴리사이드막은 적층된 도핑된 폴리실리콘막 및 금속실리사이드막으로 이루어진다. 상기 제어 게이트 전극(120a) 및 상기 플로팅 게이트(110b) 사이에 게이트 층간 유전막 패턴(115a)이 개재된다. 상기 게이트 층간 유전막 패턴(115a)은 상기 플로팅 게이트(110b)의 상부면 및 측벽의 요철형태를 따라, 콘포말하게 배치되고, 상기 제어 게이트 전극(120a)은 상기 플로팅 게이트(110b)의 측벽 중 오목한 부분들을 채운다. 상기 게이트 층간 유전막 패턴(115a)은 유전막으로 이루어진다. 예를 들면, 실리콘산화막 또는 ONO막(oxide-nitride-oxide layer)으로 이루어질 수 있다. 이에 더하여, 상기 게이트 층간 유전막 패턴(115a)은 상기 ONO막에 비하여 고유전율을 갖는 고유전막으로 이루어질 수 있다. 상기 제어 게이트 전극(120a) 양측의 상기 활성영역에 불순물확산층(122)이 배치된다. 상기 불순물확산층(122)은 소오스/드레인 영역에 해당할 수 있다.

<31> 상술한 비휘발성 기억 셀에서, 요철형태의 측벽으로 인하여, 상기 플로팅 게이트(110b)의 표면적이 증가한다. 이에 따라, 상기 제어 게이트 전극(120a) 및 상기 플로팅 게이트(110b)이 중첩되는 면적이 증가함으로써, 상기 제어 게이트 전극(120a) 및 상기 플로팅 게이트(110b)간의 정전용량이 증가한다. 결과적으로, 커플링 비율이 증가하여 비휘발성 기억 셀의 동작전압(프로그램 전압 또는 소거 전압)을 감소시킬 수 있다.

<32> 상기 비휘발성 기억 셀은 상기 플로팅 게이트(110b) 하부의 상기 터널절연막 패턴(105a) 전면을 통하여 전하들이 FN 터널링 방식으로 터널링 할 수 있다.

- <33> 상술한 일 실시예에 따른 비휘발성 기억 셀은 플래쉬 기억 소자에 적용될 수 있다. 예를 들면, 낸드형(nand-type) 플래쉬 기억 소자 또는 노아형(nor-type) 플래쉬 기억 소자등에 적용될 수 있다.
- <34> 도 3 내지 도 7은 본 발명의 일 실시예에 따른 비휘발성 기억셀의 형성방법을 설명하기 위한 사시도들이다.
- <35> 도 3을 참조하면, 반도체기판(101)의 소정영역에 소자분리막(103)을 형성하여 활성영역을 한정한다. 상기 소자분리막(103)은 트렌치 소자분리막으로 형성할 수 있다. 상기 활성영역을 포함한 반도체기판 상에 터널 절연막(105)을 형성한다. 상기 터널절연막(105)은 열산화막 또는 CVD 실리콘산화막으로 형성할 수 있다.
- <36> 상기 터널 절연막(105)을 갖는 반도체기판(101) 전면에 게이트 도전막(110)을 형성한다. 상기 게이트 도전막(110)은 복수개의 제1 도전막들(107) 및 복수개의 제2 도전막들(109)을 교대로 적층하여 형성한다. 상기 제1 도전막(107) 및 상기 제2 도전막(109) 중 하나는 도핑된 폴리실리콘막으로 형성하고, 다른 하나는 상기 도핑된 실리콘게르마늄막으로 형성하는 것이 바람직하다.
- <37> 상기 도핑된 폴리실리콘막 및 상기 도핑된 실리콘게르마늄막은 인시츄(in-situ) 방식으로 도핑되는 것이 바람직하다. 이와는 다르게, 상기 도핑된 폴리실리콘막 및 상기 도핑된 실리콘게르마늄막은 불순물들을 이온주입하여 도핑할 수도 있다.
- <38> 상기 게이트 도전막(110) 상에 감광막 패턴(112)을 형성한다.
- <39> 도 4 및 도 5를 참조하면, 상기 감광막 패턴(112)을 마스크로 사용하여 상기 게이트 도전막(110)을 이방성 식각으로 패터닝하여 예비 게이트 도전막 패턴(110a)을 형성한

다. 상기 예비 게이트 도전막 패턴(110a)의 측벽은 상기 이방성 식각된 제1 및 제2 도전막들(107a, 109a)의 측벽이 노출된다. 상기 예비 게이트 도전막 패턴(110a)은 상기 활성 영역의 전면 상에 형성될 수 있다.

<40> 이어서, 상기 감광막 패턴(112)을 다시 마스크로 사용하여 상기 예비 게이트 도전막 패턴(110a)을 등방성 식각하여 요철형태의 측벽을 갖는 게이트 도전막 패턴(110a')을 형성한다. 이때, 상기 등방성 식각은 상기 이방성 식각된 제1 및 제2 도전막들(107a, 109a)에 대하여 식각선택비를 갖는다. 상기 등방성 식각은 HeO_2 가스를 포함하는 식각가스를 사용하는 건식식각으로 진행하는 것이 바람직하다. 상기 HeO_2 가스를 포함하는 식각가스는 상기 도핑된 폴리실리콘막 및 상기 도핑된 실리콘게르마늄막에 대하여 식각선택비를 갖는다. 구체적으로, 상기 HeO_2 가스를 포함하는 식각가스는 상기 도핑된 폴리실리콘막에 비하여 상기 도핑된 실리콘게르마늄막을 더 빨리 식각한다. 이로 인하여, 도 3의 제1 및 제2 도전막들(107, 109)이 각각 상기 도핑된 폴리실리콘막 및 상기 도핑된 실리콘게르마늄막으로 형성될 경우, 상기 등방성 식각된 제2 도전막들(109a')은 상기 등방성 식각된 제1 도전막들(107a')에 비하여 더 식각되어 상기 게이트 도전막 패턴(110a') 측벽의 오목한 부분들을 형성한다. 이에 반해, 상기 등방성 식각된 제1 도전막들(109a')은 돌출되어 상기 게이트 도전막 패턴(110a') 측벽의 볼록한 부분들로 형성된다.

<41> 도 6 및 도 7을 참조하면, 상기 게이트 도전막 패턴(110a')을 갖는 반도체기판(101)으로 부터 상기 감광막 패턴(112)을 제거하여 상기 게이트 도전막 패턴(110a')의 상부면을 노출시킨다. 상기 노출된 게이트 도전막 패턴(110a')의 상부면을 포함한 반도체기판(101) 전면 상에 콘포말한 게이트 층간 유전막(115)을 형성한다. 이때, 상기 게이

트 층간 유전막(115)은 상기 게이트 도전막 패턴(110a') 측벽의 요철 형태를 따라 콘포 말하게 형성된다. 상기 게이트 층간유전막(115)은 유전막인 실리콘산화막 또는 ONO막으로 형성할 수 있다. 이와는 달리, 상기 게이트 층간 유전막(115)은 상기 ONO막에 비하여 높은 유전율을 갖는 고유전막으로 형성할 수 있다.

<42> 상기 게이트 층간 유전막(115) 상에 제어 게이트 전극막(120)을 형성한다. 상기 제어 게이트 전극막(120)은 상기 게이트 도전막 패턴(110a')의 오목한 부분들을 충분히 채울수 있는 도전막으로 형성한다. 예를 들면, 도핑된 폴리실리콘막 또는 폴리사이드막으로 형성할 수 있다. 도핑된 폴리실리콘막은 단차 도포성이 우수하여 상기 게이트 도전막 패턴(110a') 측벽의 오목한 부분들을 충분히 채울수 있다.

<43> 상기 제어 게이트 전극막(120), 상기 게이트 층간 유전막(115), 상기 게이트 도전막 패턴(110a') 및 상기 터널 절연막(105)을 연속적으로 패터닝하여 차례로 적층된 터널 절연막 패턴(105a), 플로팅 게이트(110b), 게이트 층간 유전막 패턴(115a) 및 제어 게이트 전극(120a)을 형성한다. 상기 플로팅 게이트(110b)는 제1 도전막 패턴들(107b) 및 제2 도전막 패턴들(109b)이 교대로 적층된 구조를 갖고, 전기적으로 격리된다. 상기 제어 게이트 전극(120a)은 상기 활성영역을 가로지른다. 이때, 상기 제어 게이트 전극(120a)은 상기 플로팅 게이트(110b)의 요철형태의 측벽 상에도 위치된다. 이로 인하여, 상기 플로팅 게이트(110b) 및 상기 제어 게이트 전극(120a)의 정전용량이 증가한다. 결과적으로, 커플링 비율이 증가하여 상기 플로팅 게이트(110b)를 갖는 비휘발성 기억 셀의 동작전압을 감소시킬 수 있다.

<44> 상기 플로팅 게이트(110b) 양측의 활성영역 상에 위치하는 상기 터널절연막(105)은 후속 공정에서 제거될 수도 있다.

- <45> 상기 제어 게이트 전극(120a) 형성 후에, 상기 제어 게이트 전극(120a)를 마스크로 사용하여 불순물 이온들을 주입하여 상기 제어 게이트 전극(120a) 양측의 상기 활성영역에 도 1에 도시된 불순물확산층(122)을 형성한다.
- <46> (실시예 2)
- <47> 본 발명의 다른 실시예에서는 본 발명의 사상이 적용된 EEPROM(Electrically Erasable Programable ROM) 셀을 보여준다. 즉, 상기 EEPROM 셀의 플로팅 게이트는 요철 형태의 측벽을 갖는다. 또한, 상기 EEPROM 셀은 상기 플로팅 게이트 일측의 활성영역 상을 가로지르는 선택 게이트 패턴을 포함한다.
- <48> 도 8은 본 발명의 다른 실시예에 따른 비휘발성 기억 셀을 나타내는 단면도이며, 도 9는 도 8의 II-II'을 따라 취해진 단면도이고, 도 10은 도 8의 III-III'을 따라 취해진 단면도이다.
- <49> 도 8, 도 9 및 도 10을 참조하면, 반도체기판(201)에 활성영역을 한정하는 소자분리막(203)이 배치된다. 상기 소자분리막(203)은 트렌치 소자분리막으로 이루어질 수 있다.
- <50> 상기 활성영역 상부에 플로팅 게이트(215b)가 배치된다. 상기 플로팅 게이트(215b)의 측벽은 요철형태이다. 상기 플로팅 게이트(215b)는 복수개의 제1 도전막 패턴들(213b) 및 복수개의 제2 도전막 패턴들(214b)이 교대로 적층된 구조이다. 상기 제1 도전막 패턴(213b) 및 상기 제2 도전막 패턴(214b) 중 하나는 돌출되어 상기 플로팅 게이트(215b) 측벽의 볼록한 부분을 이루고, 다른 하나는 상기 플로팅 게이트(215b) 측벽의 오목한 부분을 이룬다. 상기 제1 도전막 패턴(213b) 및 상기 제2 도전막 패턴(214b) 중 하

나는 도핑된 폴리실리콘막으로 이루어지고, 다른 하나는 도핑된 실리콘게르마늄막으로 이루어지는 것이 바람직하다. 상기 제1 도전막 패턴(213b)이 상기 도핑된 폴리실리콘막으로 이루어지고, 상기 제2 도전막 패턴(214b)이 상기 도핑된 실리콘게르마늄막으로 이루어질때, 상기 제1 도전막 패턴들(213b)은 돌출되어 상기 플로팅 게이트(215b) 측벽의 볼록한 부분들을 이루며, 이에 반해, 상기 제2 도전막 패턴들(214b)은 상기 플로팅 게이트(215b) 측벽의 오목한 부분들을 이룬다.

<51> 상기 플로팅 게이트(215b) 및 상기 활성영역 사이에 게이트 절연막 패턴(207a)이 개재된다. 이때, 상기 플로팅 게이트(215b) 하부면의 소정영역 및 그 아래의 활성영역을 포함하는 터널창 영역(209)이 배치되는 것이 바람직하다. 상기 터널창 영역(209) 내에 위치하는 상기 플로팅 게이트(215b) 및 상기 활성영역 사이에 터널 절연막(211)이 개재되는 것이 바람직하다. 상기 터널 절연막(211)은 상기 게이트 절연막 패턴(207a)에 비하여 얇은 두께를 갖는 것이 바람직하다. 상기 게이트 절연막 패턴(207a) 및 상기 터널절연막(211)은 실리콘산화막으로 이루어질 수 있다.

<52> 상기 플로팅 게이트(215b) 상부에 상기 활성영역을 가로지르는 제어 게이트 전극(220a)이 배치된다. 이때, 상기 제어 게이트 전극(220a)은 상기 플로팅 게이트(215b)의 요철형태의 측벽 상부에도 배치된다. 상기 제어 게이트 전극(220a)은 도전막, 예컨대, 도핑된 폴리실리콘막 또는 폴리사이드막으로 이루어질 수 있다. 상기 제어 게이트 전극(220a) 및 상기 플로팅 게이트(215b) 사이에 게이트 층

간 유전막 패턴(219a)이 개재된다. 상기 게이트 층간 유전막 패턴(219a)은 상기 플로팅 게이트(215b)의 상부면 및 측벽의 요철형태를 따라, 콘포말하게 배치되고, 상기 제어 게이트 전극(220a)은 상기 플로팅 게이트(215b) 측벽의 오목한 부분들을 채운다. 상기 게이트 층간 유전막 패턴(219a)은 유전막인 실리콘산화막 또는 ONO막(oxide-nitride-oxide layer)으로 이루어 질 수 있다. 이에 더하여, 상기 게이트 층간 유전막 패턴(219a)은 상기 ONO막에 비하여 고유전율을 갖는 고유전막으로 이루어질 수 있다.

<53> 상기 플로팅 게이트(215b) 일측의 상기 활성영역 상부를 가로지르는 선택 게이트 패턴(222)이 배치된다. 상기 선택 게이트 패턴(222)은 상기 제어 게이트 전극(220a)과 평행하게 배치된다. 상기 선택 게이트 패턴(222)은 차례로 적층된 선택 게이트 절연막 패턴(207b), 제1 선택 게이트 전극(215c), 선택 게이트 층간 유전막 패턴(219b) 및 제2 선택 게이트 전극(220b)으로 구성될 수 있다. 상기 제1 선택 게이트 전극(215c)은 복수 개의 선택 제1 도전막 패턴들(213c) 및 복수개의 선택 제2 도전막 패턴들(214c)이 교대로 적층된 구조일 수 있다. 즉, 상기 제1 선택 게이트 전극(215c)은 상기 플로팅 게이트(215b)와 동일한 물질막으로 이루어질 수 있다. 이에 더하여, 상기 선택 게이트 층간 유전막 패턴(219b)은 상기 게이트 층간 유전막 패턴(219a)과 동일한 물질막으로 이루어질 수 있으며, 상기 제2 선택 게이트 전극(220b)은 상기 제어 게이트 전극(220a)과 동일한 물질막으로 이루어 질수 있다. 상기 제1 및 제2 선택 게이트 전극들(215c, 220b)은 서로 전기적으로 접속될 수 있다.

<54> 상기 플로팅 게이트(215b) 및 상기 선택 게이트 전극(222) 사이의 활성영역에 플로팅 불순물확산층(205)이 배치된다. 상기 플로팅 게이트(215b)는 그 일부분이 상기 플로팅 불순물확산층(205)의 일부분과 중첩되는 것이 바람직하다. 이에 따라, 상기 플로팅

게이트(215b) 하부의 상기 활성영역은 채널영역(a) 및 상기 플로팅 게이트(215b) 및 상기 플로팅 불순물확산층(205)의 중첩영역(b)으로 구분된다. 상기 터널창 영역(209)은 상기 중첩영역(b) 내에 위치하는 것이 바람직하다.

- <55> 상기 플로팅 게이트(215b)의 상기 플로팅 불순물층(205)에 대향된 측의 활성영역 및 상기 선택 게이트 패턴(222)의 상기 플로팅 불순물층(205)에 대향된 측의 활성영역에 각각 불순물확산층(223)이 위치한다. 상기 불순물확산층(223)은 EEPROM 셀의 소오스/드레인 영역일 수 있다.
- <56> 상술한 EEPROM 셀은 상기 터널창 영역(209)을 통하여 상기 플로팅 불순물확산층(205)내의 전하들이 상기 플로팅 게이트(215b)로 유입되거나, 상기 플로팅 게이트(215b)내의 전하들이 상기 플로팅 불순물확산층(205)으로 방출된다. 이때, 전하들은 FN 터널링 방식으로 상기 터널절연막(211)을 터널링 할 수 있다. 이와는 다르게, 상기 터널창 영역(209)은 생략될 수도 있다. 이때에는, 상기 중첩 영역(b) 전체에 걸쳐 전하들이 상기 게이트 절연막 패턴(207a)을 터널링 할 수 있다.
- <57> 상술한 EEPROM 셀에서, 상기 플로팅 게이트(215b)는 요철 형태의 측벽으로 인하여 표면적이 증가한다. 이에 따라, 상기 플로팅 게이트(215b) 및 상기 제어 게이트 전극(220a)간의 정전용량이 증가한다. 결과적으로, 커플링 비율이 증가하여 상기 EEPROM 셀의 동작전압을 감소시킬 수 있다.
- <58> 도 11a 내지 도 15는 본 발명의 다른 실시예에 따른 비휘발성 기억 셀의 형성방법을 설명하기 위한 평면도들이며, 도 11b 내지 도 15b는 각각 도 11a 내지 도 15a의 IV-IV'을 따라 취해진 단면도들이고, 도 11c 내지 도 15c는 각각 도 11a 내지 도 15a의 V-V'을 따라 취해진 단면도들이다.

- <59> 도 11a, 도 11b 및 도 11c를 참조하면, 반도체기판(201)의 소정영역에 소자분리막(203)을 형성하여 활성영역을 한정한다. 상기 소자분리막(203)은 트렌치 소자분리막으로 형성할 수 있다.
- <60> 상기 활성영역의 소정영역에 불순물 이온들을 선택적으로 주입하여 플로팅 불순물 확산층(205)을 형성한다. 상기 플로팅 불순물 확산층(205)을 갖는 활성영역 상에 게이트 절연막(207)을 형성한다. 상기 게이트 절연막(207)은 열산화막 또는 CVD 실리콘산화막으로 형성할 수 있다. 상기 게이트 절연막(207)을 패터닝하여 상기 플로팅 불순물 확산층(205)의 소정영역을 노출시키는 개구부(208)를 형성한다. 상기 개구부(208)가 형성된 영역은 터널창 영역(209)에 해당한다. 상기 노출된 플로팅 불순물 확산층(205) 상에 터널절연막(211)을 형성한다. 이때, 상기 터널절연막(211)은 상기 게이트 절연막(207)의 두께에 비하여 얇게 형성하는 것이 바람직하다. 상기 터널절연막(211)은 열산화막 또는 CVD 실리콘산화막으로 형성할 수 있다.
- <61> 상기 터널창 영역(209)에 위치하는 상기 개구부(208) 및 상기 터널절연막(211)을 형성하는 단계는 생략될 수도 있다.
- <62> 상기 터널절연막(211)을 갖는 반도체기판(201) 전면 상에 게이트 도전막(215)을 형성한다. 상기 게이트 도전막(215)은 복수개의 제1 도전막들(213) 및 복수개의 제2 도전막들(214)을 교대로 적층하여 형성하는 것이 바람직하다. 상기 제1 도전막(213) 및 상기 제2 도전막(214) 중 하나는 도핑된 폴리실리콘막으로 형성하고, 다른 하나는 도핑된 실리콘게르마늄막으로 형성하는 것이 바람직하다. 상기 도핑된 폴리실리콘막 및 상기 도핑된 실리콘게르마늄막은 인시츄(in-situ)방식으로 도핑되는 것이 바람직하다. 이와는 달

리, 상기 도핑된 폴리실리콘막 및 상기 실리콘게르마늄막은 불순물 이온들을 주입하여 도핑할수도 있다.

<63> 상기 게이트 도전막(215) 상에 감광막 패턴(217)을 형성한다.

<64> 도 12a, 도 12b, 도 12c, 도 13a, 도 13b 및 도 13c를 참조하면, 상기 게이트 도전막(215)을 상기 감광막 패턴(217)을 마스크로 사용하여 이방성 식각으로 패터닝하여 예비 게이트 도전막 패턴(215a)을 형성한다. 상기 예비 게이트 도전막 패턴(215a)은 후속의 플로팅 게이트의 측벽들 중 상기 소자분리막(203) 상에 위치하는 측벽들을 노출시킨다. 즉, 도시하지 않았지만, 이 패터닝 공정으로, 후속에 형성될 플로팅 게이트가 상기 소자분리막(203)을 경계로하여 이웃하는 플로팅 게이트들(미도시함)로부터 분리된다. 상기 예비 게이트 도전막 패턴(215a)의 노출된 측벽은 상기 이방성 식각된 제1 및 제2 도전막들(213a, 214a)로 구성된다.

<65> 이어서, 상기 감광막 패턴(217)을 다시 마스크로 사용하여 상기 예비 게이트 도전막 패턴(215a)을 등방성 식각하여 요철형태의 측벽을 갖는 게이트 도전막 패턴(215a')을 형성한다. 상기 등방성 식각은 상기 이방성 식각된 제1 및 제2 도전막들(213a, 214a)에 대하여 식각선택비를 갖는다. 상기 등방성 식각은 HeO_2 가스를 포함하는 식각가스를 사용하는 건식식각으로 진행하는 것이 바람직하다. 상기 HeO_2 가스를 포함하는 식각가스는 상기 도핑된 폴리실리콘막 및 상기 도핑된 실리콘게르마늄막에 대하여 식각선택비를 갖는다. 구체적으로, 상기 HeO_2 가스를 포함하는 식각가스는 상기 도핑된 폴리실리콘막에 비하여 상기 도핑된 실리콘게르마늄막을 더 빨리 식각한다. 이로 인하여, 도 12b의 제1 및 제2 도전막들(213, 214)이 각각 상기 도핑된 폴리실리콘막 및 상기 실리콘게르마늄막으로 형성될 경우, 상기 등방성 식각된 제2 도전막들(214a')은 상기 등방성 식각된 제1

도전막들(213a')에 비하여 더 식각되어 상기 게이트 도전막 패턴(215a') 측벽의 오목한 부분들이 형성된다. 이에 반해, 상기 등방성 식각된 상기 제1 도전막들(213a')은 돌출되어 상기 게이트 도전막 패턴(215a')의 볼록한 부분들로 형성된다.

<66> 도 14a, 도 14b, 도 14c, 도 15a, 도 15b 및 도 15c를 참조하면, 상기 감광막 패턴(217)을 제거하여 상기 게이트 도전막 패턴(215a')의 상부면을 노출시킨다. 상기 노출된 게이트 도전막 패턴(215a')의 상부면을 포함하는 반도체기판(201) 전면 상에 콘포말한 게이트 층간 유전막(219)을 형성하고, 상기 게이트 층간 유전막(219) 상에 제어 게이트 전극막(220)을 형성한다. 상기 게이트 층간 유전막(219)은 상기 게이트 도전막 패턴(215a') 측벽의 요철형태를 따라 콘포말하게 형성되고, 상기 제어 게이트 전극막(220)은 상기 게이트 도전막 패턴(215a') 측벽의 오목한 부분들을 채운다. 상기 게이트 층간 유전막(219)은 유전막인 실리콘산화막 또는 ONO막으로 형성할 수 있다. 이와는 달리, 상기 게이트 층간 유전막(219)은 상기 ONO막에 비하여 유전율이 높은 고유전막으로 형성할 수 있다. 상기 제어 게이트 전극막(220)은 도핑된 폴리실리콘막 또는 폴리사이드막으로 형성할 수 있다.

<67> 상기 제어 게이트 전극막(220), 상기 게이트 층간 유전막(219), 상기 게이트 도전막 패턴(215a') 및 상기 게이트 절연막(207)을 연속적으로 패터닝하여 차례로 적층된 게이트 절연막 패턴(207a), 플로팅 게이트(215b), 게이트 층간 유전막 패턴(219a) 및 제어 게이트 전극(220a)을 형성한다. 이와 동시에, 상기 플로팅 게이트(215b) 일측의 상기 활성영역 상을 가로지르는 선택 게이트 패턴(222)을 형성한다. 상기 제어 게이트 전극(220a)은 상기 선택 게이트 패턴(222)과 평행하게 상기 활성영역을 가로지른다. 상기 플로팅 게이트(215b)는 제1 도전막 패턴들(213b) 및 제2 도전막 패턴들(214b)이 교대로 적

충된 구조를 갖고, 상기 플로팅 게이트(215b)는 요철 형태의 측벽을 갖는다. 이로 인해, 상기 플로팅 게이트(215b)의 표면적이 증가한다. 상기 제어 게이트 전극(220a)은 상기 플로팅 게이트(215b)의 상부면 및 요철 형태의 측벽 상부에도 형성된다. 결과적으로, 상기 플로팅 게이트(215b) 및 상기 제어 게이트 전극(220a) 간의 정전용량이 증가되어 커플링 비율이 증가한다. 이에 따라, 상기 EEPROM 셀의 동작전압을 감소시킬 수 있다.

<68> 상기 선택 게이트 패턴(222)은 차례로 적층된 선택 게이트 절연막 패턴(207b), 제1 선택 게이트 전극(215c), 선택 게이트 층간 유전막(219b) 및 제2 선택 게이트 전극(220b)로 구성된다. 상기 제1 선택 게이트 전극(215c)은 선택 제1 도전막 패턴들(213c) 및 선택 제2 도전막 패턴들(214c)이 교대로 적층된 구조를 갖는다. 즉, 상기 제1 선택 게이트 전극(215c)은 상기 플로팅 게이트(215b)와 동일한 물질막으로 이루어지는 것이 바람직하다. 상기 선택 게이트 층간 유전막 패턴(219b) 및 상기 제2 선택 게이트 전극(220b)는 각각 상기 게이트 층간 유전막 패턴(219a) 및 상기 제어 게이트 전극(220a)과 동일한 물질막으로 이루어지는 것이 바람직하다.

<69> 상기 플로팅 게이트(215b) 및 상기 선택 게이트 패턴(222) 사이의 활성영역에 상기 플로팅 불순물확산층(205)이 배치된다. 상기 플로팅 게이트(215b) 하부면의 소정영역은 상기 터널절연막(211) 상에 형성된다. 이에 따라, 상기 플로팅 게이트(215b)의 일부분 및 상기 플로팅 불순물확산층(205)의 일부분은 중첩된다.

<70> 상기 플로팅 게이트(215b)의 상기 플로팅 불순물확산층(205)에 대향된 측의 활성영역 및 상기 선택 게이트 패턴(222)의 상기 플로팅 불순물확산층(205)에 대향된 측의 활성영역에 선택적으로 불순물 이온들을 주입하여 각각 불순물확산층(223)을 형성한다. 상기 불순물확산층(223)은 상기 EEPROM 셀의 소오스/드레인 영역에 해당할 수 있다.

<71> 상기 불순물확산층(223)을 갖는 반도체기판(201) 전면 상에 층간절연막(227)을 형성하고, 상기 층간절연막(227)을 관통하여 상기 선택 게이트 전극(222)에 인접한 상기 불순물확산층(223)과 전기적으로 접속하는 비트라인 콘택플러그(227)를 형성한다. 상기 층간절연막(227) 상에 상기 비트라인 콘택플러그(227)와 전기적으로 접속하는 비트라인(230)을 형성한다. 상기 비트라인(230)은 상기 제어 게이트 전극(220a) 및 상기 선택 게이트 전극(222)을 가로지른다.

【발명의 효과】

<72> 상술한 바와 같이, 본 발명에 따르면, 플로팅 게이트를 갖는 비휘발성 기억 셀에서, 상기 플로팅 게이트의 측벽을 요철형태를 갖도록 형성함으로써, 상기 플로팅 게이트의 표면적을 증가시킨다. 이에 따라, 상기 플로팅 게이트 및 제어 게이트 전극간의 정전용량이 증가되어, 커패시턴스 비율이 증가한다. 결과적으로, 상기 비휘발성 기억 셀의 동작전압을 감소시킬 수 있다.

【특허 청구범위】**【청구항 1】**

반도체기판에 형성되어 활성영역을 한정하는 소자분리막;

상기 활성영역 상부에 배치되되, 복수개의 제1 도전막 패턴들 및 복수개의 제2 도전막 패턴들이 교대로 적층된 구조의 플로팅 게이트; 및

상기 플로팅 게이트 및 상기 활성영역 사이에 개재된 제1 절연막을 포함하되, 상기 플로팅 게이트의 측벽은 상기 제1 도전막 패턴 및 상기 제2 도전막 패턴 중 하나가 돌출되어 요철형태를 이루는 것을 특징으로 하는 비휘발성 기억 셀.

【청구항 2】

제 1 항에 있어서,

상기 제1 도전막 패턴 및 상기 제2 도전막 패턴 중 하나는 도핑된 폴리실리콘막(doped poly-Si layer)으로 이루어지고, 다른 하나는 도핑된 실리콘게르마늄막(doped SiGe layer)으로 이루어지는 것을 특징으로 하는 비휘발성 기억 셀.

【청구항 3】

제 2 항에 있어서,

상기 도핑된 폴리실리콘막은 돌출되어 상기 플로팅 게이트 측벽의 볼록한 부분을 이루고, 상기 도핑된 실리콘게르마늄막은 상기 플로팅 게이트 측벽의 오목한 부분을 이루는 것을 특징으로 하는 비휘발성 기억 셀.

【청구항 4】

제 1 항에 있어서,

상기 플로팅 게이트 상부에 배치되되, 상기 활성영역을 가로지르는 제어 게이트 전극; 및

상기 제어 게이트 전극 및 상기 플로팅 게이트 사이에 개재된 게이트 층간 유전막 패턴을 더 포함하되, 상기 게이트 층간 유전막 패턴 및 상기 제어 게이트 전극은 상기 플로팅 게이트의 상부면 및 상기 요철형태의 측벽 상에 배치되는 것을 특징으로 하는 비휘발성 기억 셀.

【청구항 5】

제 4 항에 있어서,

상기 제어 게이트 전극 양측의 상기 활성영역에 형성된 한 쌍의 불순물확산층들을 더 포함하는 것을 특징으로 하는 비휘발성 기억 셀.

【청구항 6】

제 4 항에 있어서,

상기 제어 게이트 전극 일측의 상기 활성영역 상을 가로지르는 선택 게이트 패턴;

상기 선택 게이트 패턴 및 상기 제어 게이트 전극 사이의 활성영역 내에 배치된 플로팅 불순물확산층; 및

상기 선택 게이트 패턴의 상기 플로팅 불순물확산층에 대향된 측의 활성영역 및 상기 플로팅 게이트의 상기 플로팅 불순물확산층에 대향된 측의 활성영역에 각각 형성된 불순물확산층을 더 포함하되, 상기 플로팅 불순물확산층의 일부분 및 상기 플로팅 게이트의 일부분은 중첩되는 것을 특징으로 하는 비휘발성 기억 셀.

【청구항 7】

제 6 항에 있어서,

상기 플로팅 게이트 하부면의 소정영역 및 그 아래의 활성영역을 포함하는 터널창 영역; 및

상기 터널창 영역 내에 상기 플로팅 게이트 및 상기 활성영역 사이에 개재된 제2 절연막을 더 포함하되, 상기 터널창 영역은 상기 플로팅 게이트 및 상기 플로팅 불순물 확산층의 중첩된 영역 내에 위치하고, 상기 제2 절연막은 상기 제1 절연막에 비하여 얇은 두께를 갖는 것을 특징으로 하는 비휘발성 기억 셀.

【청구항 8】

제 6 항에 있어서,

상기 선택 게이트 패턴은 적층된 제1 선택 게이트 전극, 선택 게이트 유전막 패턴 및 제2 선택 게이트 전극으로 구성되되, 상기 제1 선택 게이트 전극은 상기 플로팅 게이트와 동일한 물질막으로 이루어지고, 상기 선택 게이트 유전막 패턴은 상기 게이트 유전막 패턴과 동일한 물질막으로 이루어지며, 상기 제2 선택 게이트 전극은 상기 제어 게이트 전극과 동일한 물질막으로 이루어지는 것을 특징으로 하는 비휘발성 기억 셀.

【청구항 9】

반도체 기판에 소자분리막을 형성하여 활성영역을 한정하는 단계;

상기 활성영역 상에 제1 절연막을 형성하는 단계;

상기 제1 절연막을 갖는 반도체기판 전면상에 복수개의 제1 도전막들 및 복수개의 제2 도전막들이 교대로 적층된 구조를 갖는 게이트 도전막을 형성하는 단계; 및

상기 게이트 도전막을 등방성 식각을 포함하는 패터닝 공정을 진행하여 요철 형태의 측벽을 갖는 플로팅 게이트를 형성하는 단계를 포함하되, 상기 등방성 식각은 상기 제1 및 제2 도전막들에 대하여 식각선택비를 갖는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【청구항 10】

제 9 항에 있어서,

상기 제1 도전막 및 상기 제2 도전막 중 하나는 도핑된 폴리실리콘막으로 형성하고, 다른 하나는 도핑된 실리콘게르마늄막으로 형성하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【청구항 11】

제 10 항에 있어서,

상기 등방성 식각은 HeO_2 가스를 포함하는 식각가스를 사용하는 건식식각을 사용하되, 상기 식각가스는 상기 도핑된 폴리실리콘막에 비하여 상기 도핑된 실리콘게르마늄막을 더 빨리 식각하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【청구항 12】

제 10 항에 있어서,

상기 도핑된 폴리실리콘막 및 상기 도핑된 실리콘게르마늄막은 인시츄(in-situ) 방식으로 도핑하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【청구항 13】

제 9 항에 있어서,

상기 플로팅 게이트 상에 배치된 게이트 층간 유전막 패턴 및 제어 게이트 전극을 형성하는 단계를 더 포함하되, 상기 게이트 층간 유전막 패턴 및 상기 제어 게이트 전극은 상기 플로팅 게이트의 상부면 및 상기 요철형태의 측벽 상에 형성되는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【청구항 14】

제 13 항에 있어서,

상기 플로팅 게이트, 상기 게이트 층간 유전막 패턴 및 제어 게이트 전극을 형성하는 단계는,

상기 게이트 도전막을 이방성 식각으로 패터닝하여 예비 게이트 도전막 패턴을 형성하는 단계;

상기 예비 게이트 도전막 패턴의 측벽을 상기 등방성 식각으로 식각하여 요철형태의 측벽을 갖는 게이트 도전막 패턴을 형성하는 단계; 및

상기 게이트 도전막 패턴을 갖는 반도체기판 전면 상에 게이트 층간 유전막 및 제어 게이트 전극막을 차례로 형성하는 단계; 및

상기 제어 게이트 전극막, 상기 게이트 층간 유전막 및 상기 게이트 도전막 패턴을 연속적으로 패터닝하여 차례로 적층된 플로팅 게이트, 게이트 층간 유전막 패턴 및 상기 활성영역을 가로지르는 제어 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【청구항 15】

제 14 항에 있어서,

상기 제어 게이트 전극을 형성한 후에,

상기 제어 게이트 전극 양측의 활성영역에 불순물확산층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【청구항 16】

제 13 항에 있어서,

상기 제어 게이트 전극 일측의 상기 활성영역 상을 가로지르는 선택 게이트 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【청구항 17】

제 16 항에 있어서,

상기 플로팅 게이트, 상기 게이트 층간 유전막 패턴, 상기 제어 게이트 전극 및 상기 선택 게이트 패턴을 형성하는 단계는,

상기 게이트 도전막을 이방성 식각으로 패터닝하여 예비 게이트 도전막 패턴을 형성하는 단계;

상기 예비 게이트 도전막 패턴의 측벽을 상기 등방성 식각으로 식각하여 요철형태를 갖는 게이트 도전막 패턴을 형성하는 단계;

상기 게이트 도전막 패턴을 갖는 반도체기판 전면 상에 제어 게이트 유전막 및 제어 게이트 전극막을 차례로 형성하는 단계;

상기 제어 게이트 전극막, 상기 게이트 층간 유전막 및 상기 게이트 도전막 패턴을 연속적으로 패터닝하여 차례로 적층된 플로팅 게이트, 게이트 층간 유전막 패턴 및 제어 게이트 전극을 형성함과 동시에, 상기 제어 게이트 전극 일측의 상기 활성영역 상을

가로지르는 선택 게이트 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【청구항 18】

제 16 항에 있어서,

상기 제1 절연막을 형성하기 전에,

상기 활성영역의 소정영역에 플로팅 불순물확산층을 형성하는 단계를 더 포함하되,
상기 플로팅 게이트 및 상기 선택 게이트 패턴은 상기 플로팅 불순물확산층의 양측에 형성되고, 상기 플로팅 게이트의 일부분이 상기 플로팅 불순물확산층의 일부분과 중첩되는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【청구항 19】

제 18 항에 있어서,

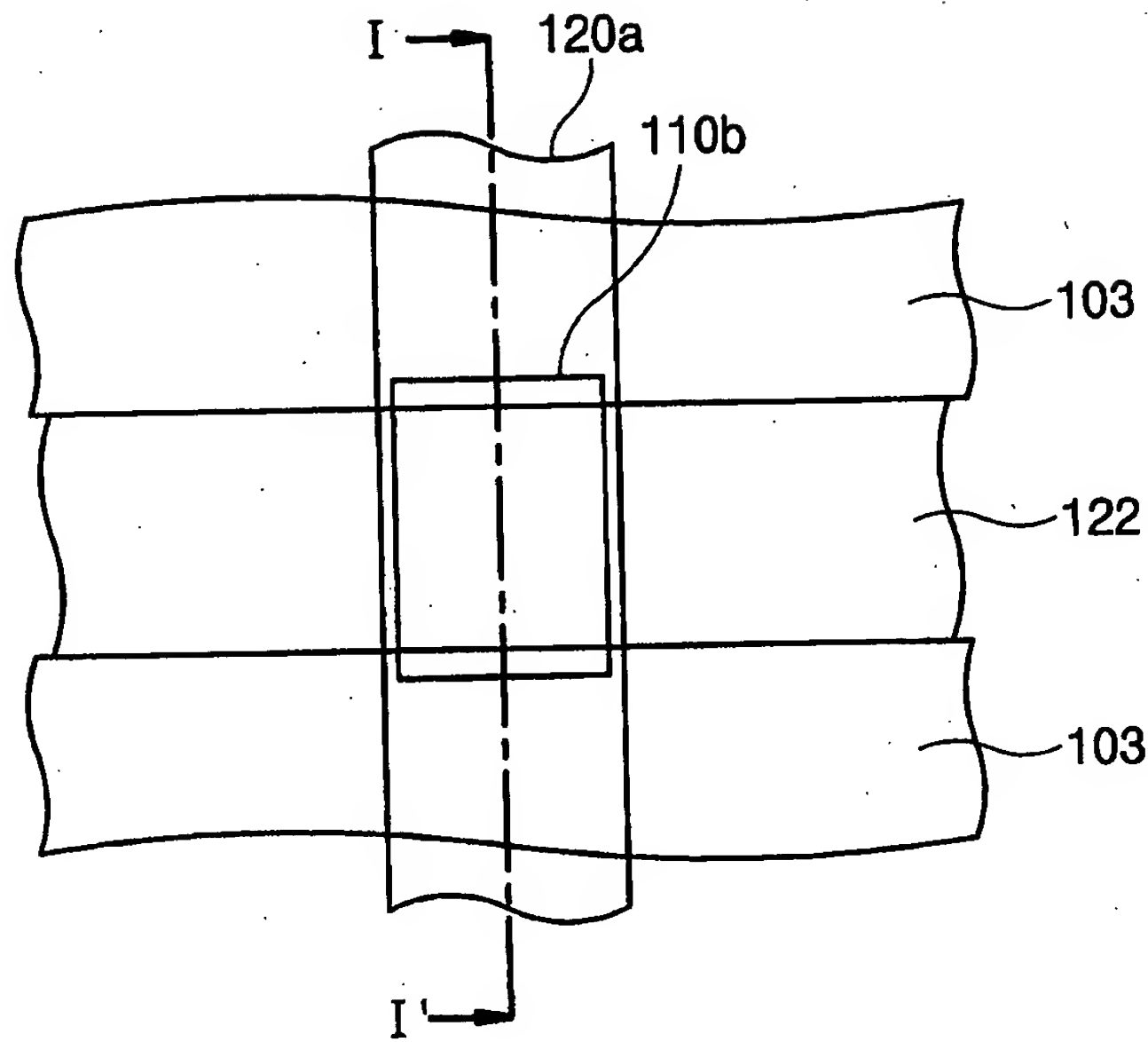
상기 제1 절연막을 형성한 후에, 상기 게이트 도전막 형성 전에,

상기 제1 절연막을 패터닝하여 상기 플로팅 불순물확산층의 소정영역을 노출시키는 단계; 및

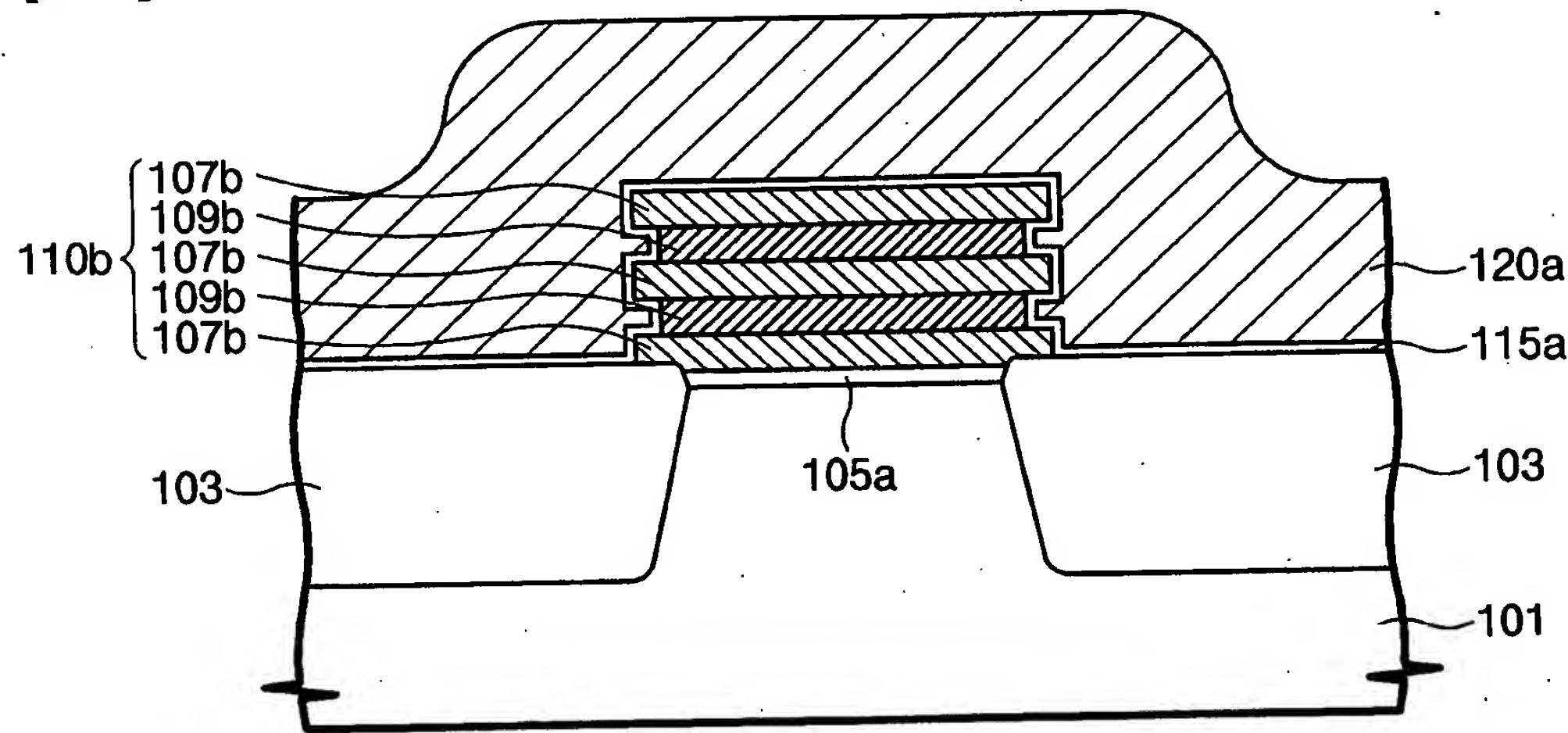
상기 노출된 플로팅 불순물확산층 상에 제2 절연막을 형성하는 단계를 더 포함하되,
상기 제2 절연막은 상기 제1 절연막의 두께에 비하여 얇은 두께를 갖도록 형성하고,
상기 제2 절연막은 상기 플로팅 게이트 및 상기 플로팅 불순물확산층의 중첩된 영역 내에 위치하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【도면】

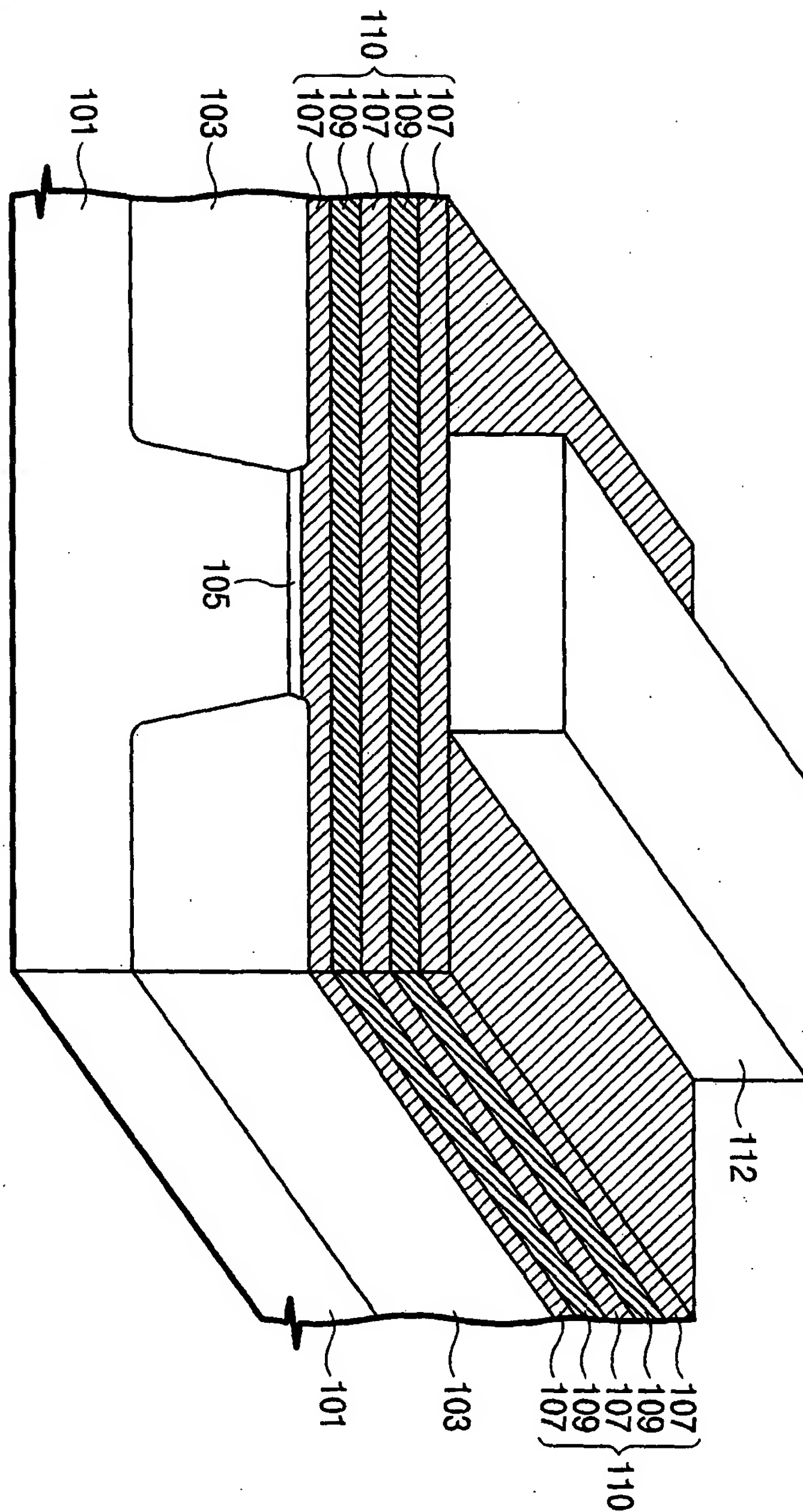
【도 1】



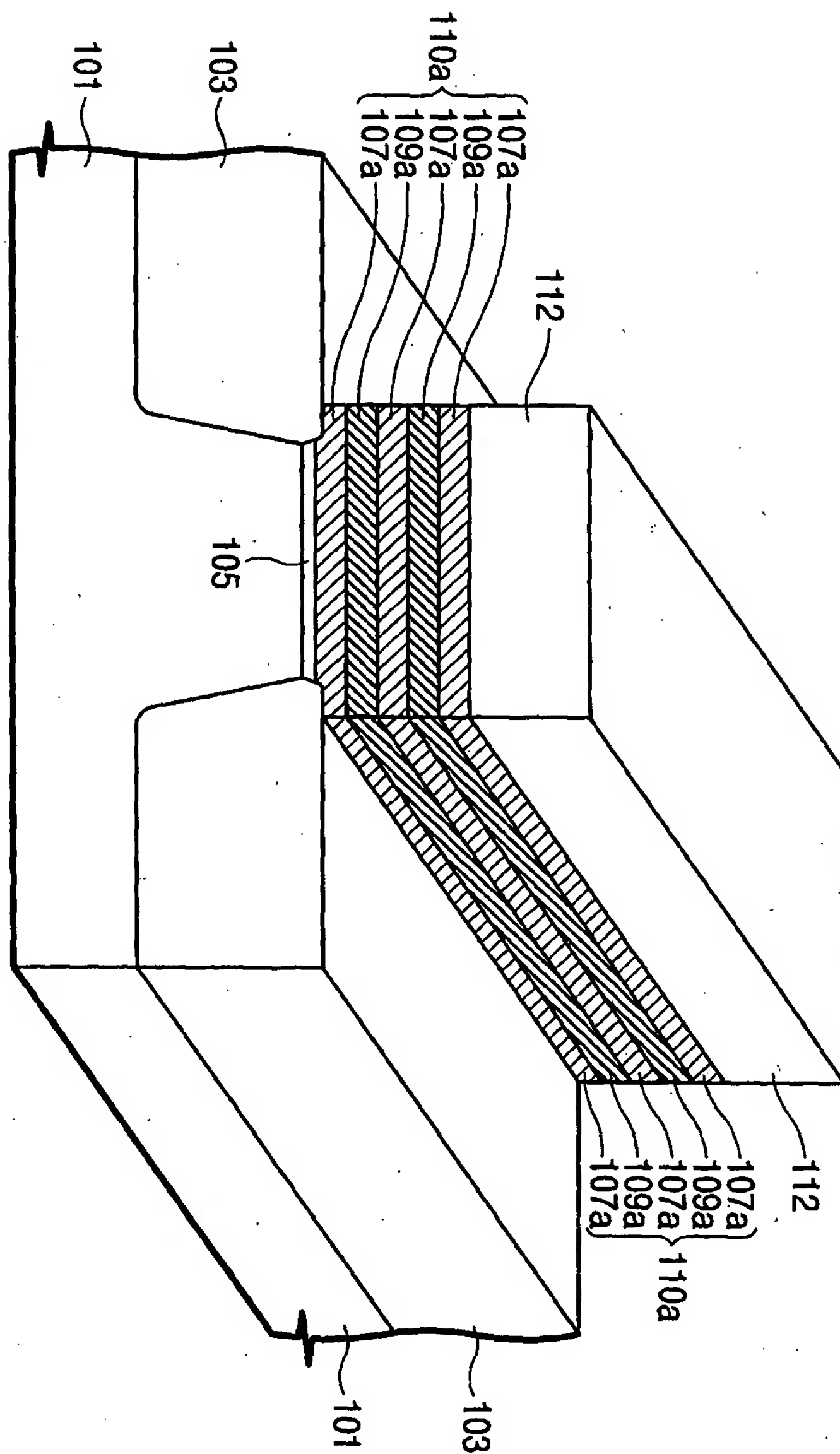
【도 2】



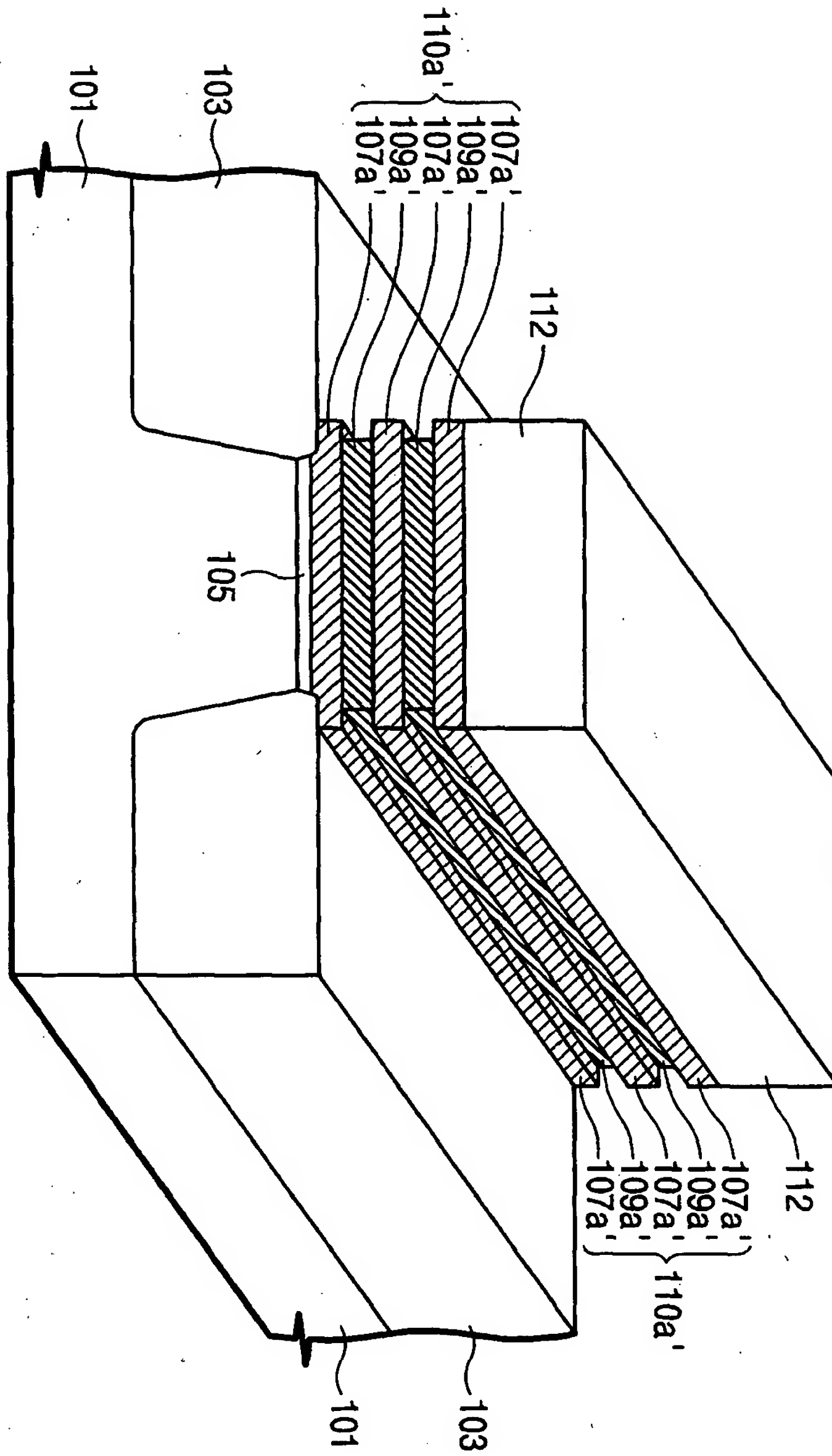
【도 3】



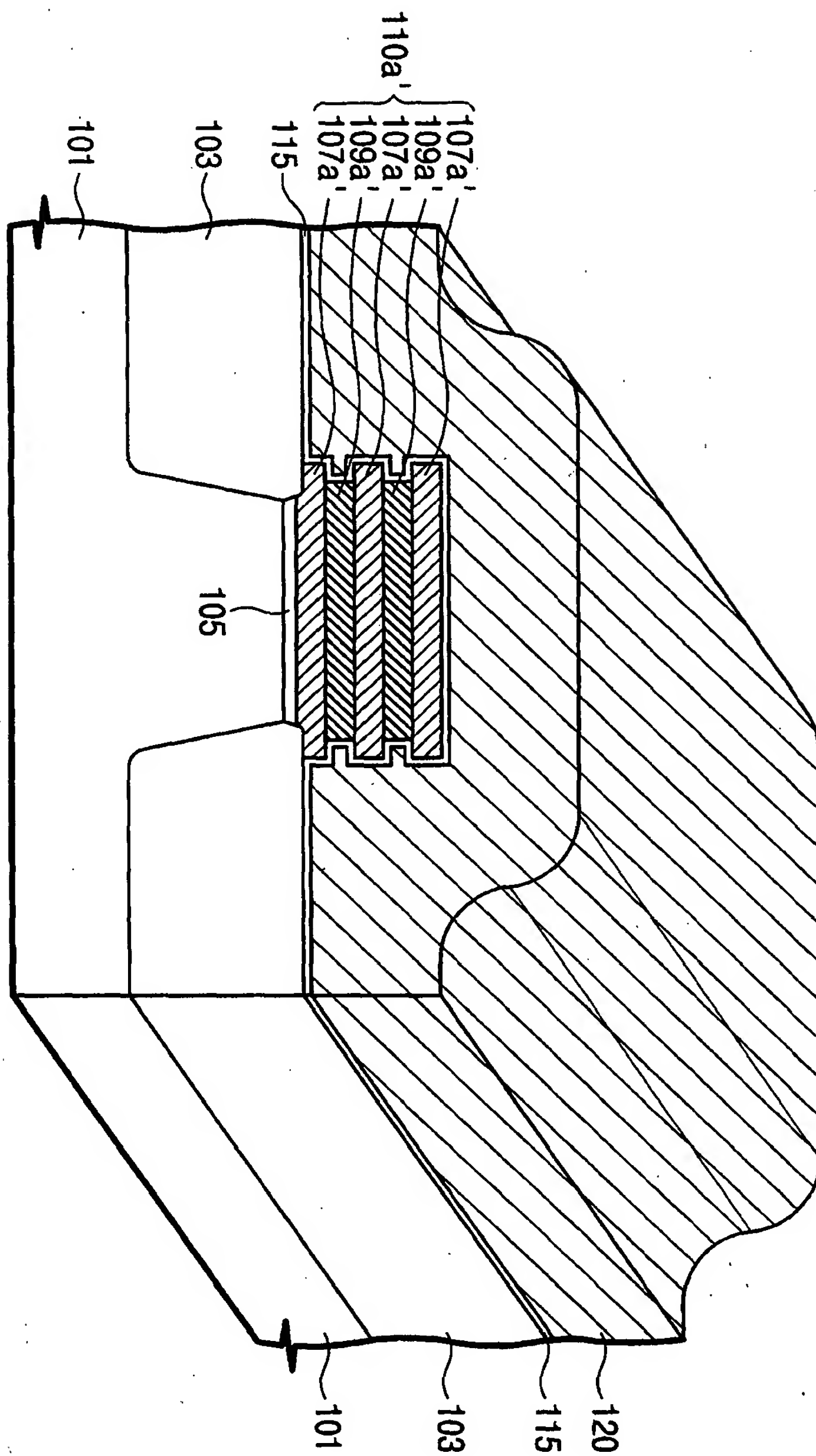
【도 4】



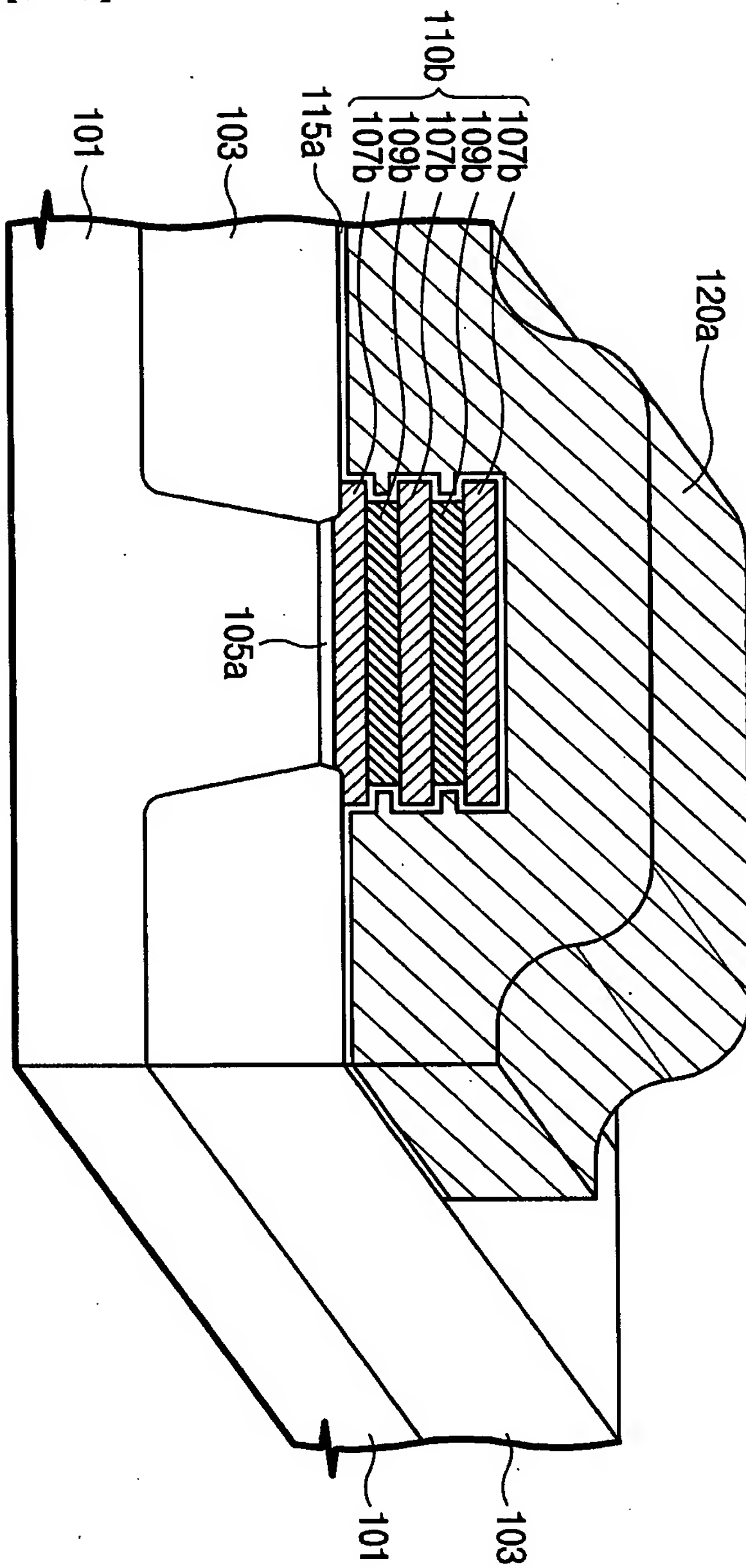
【도 5】



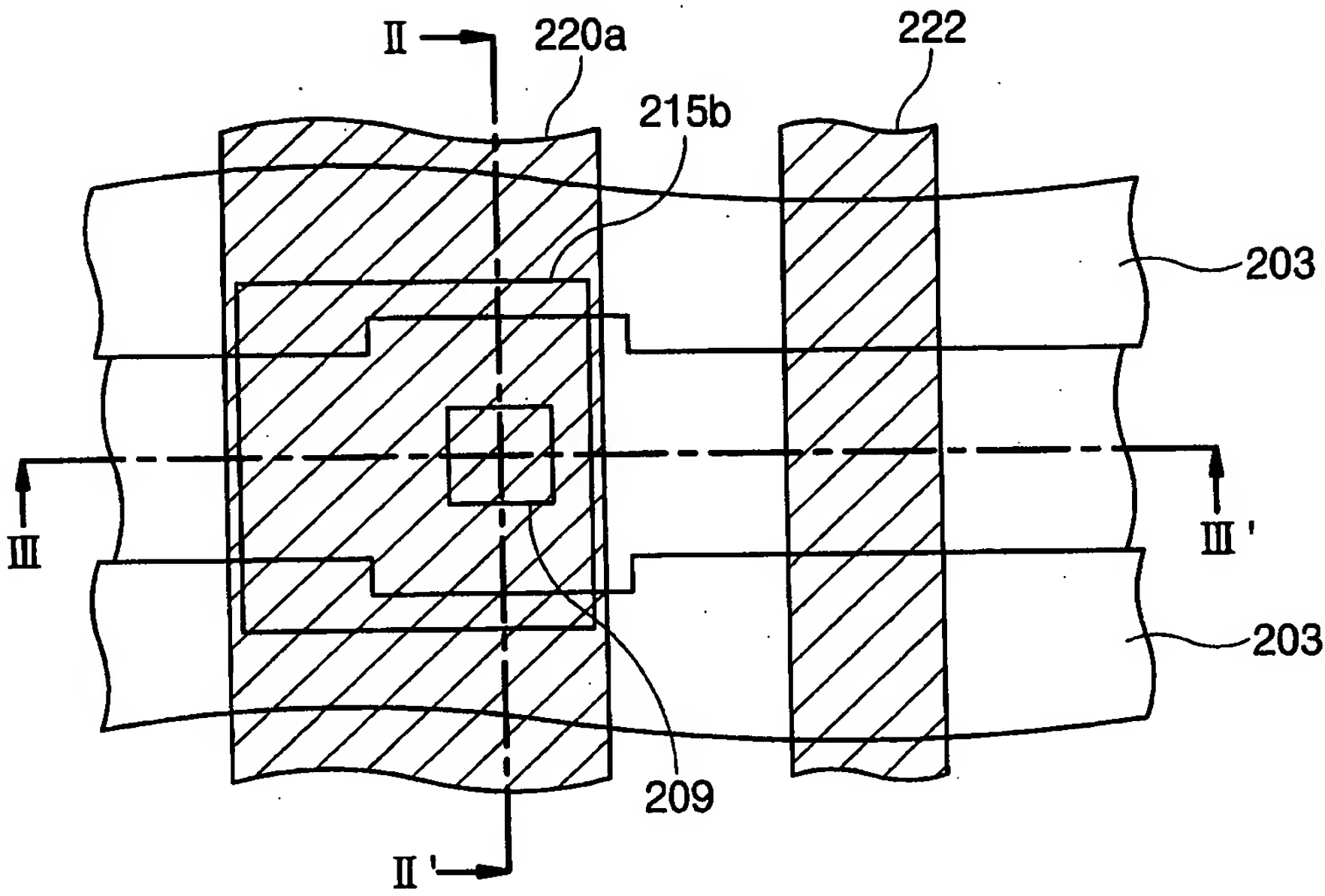
【도 6】



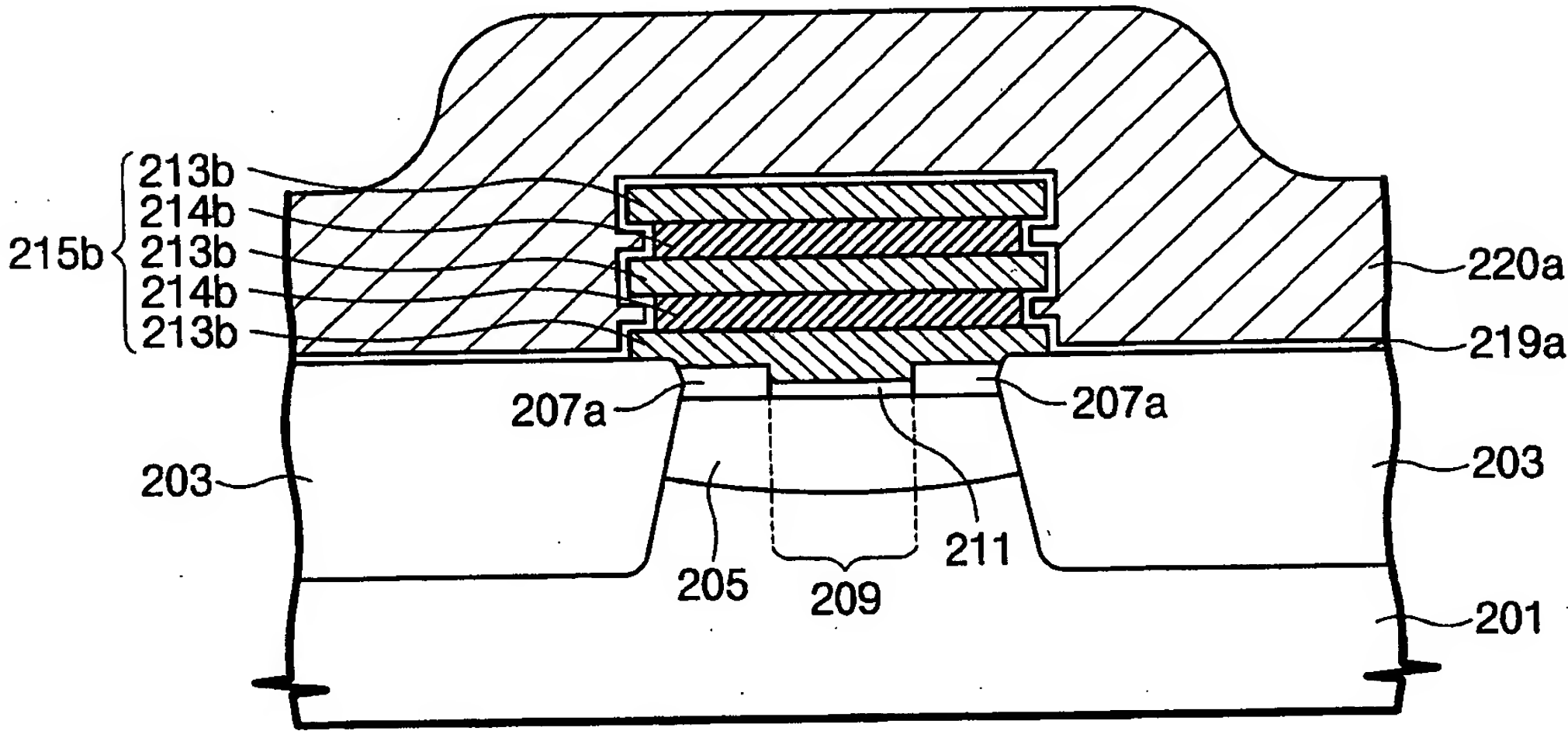
【도 7】



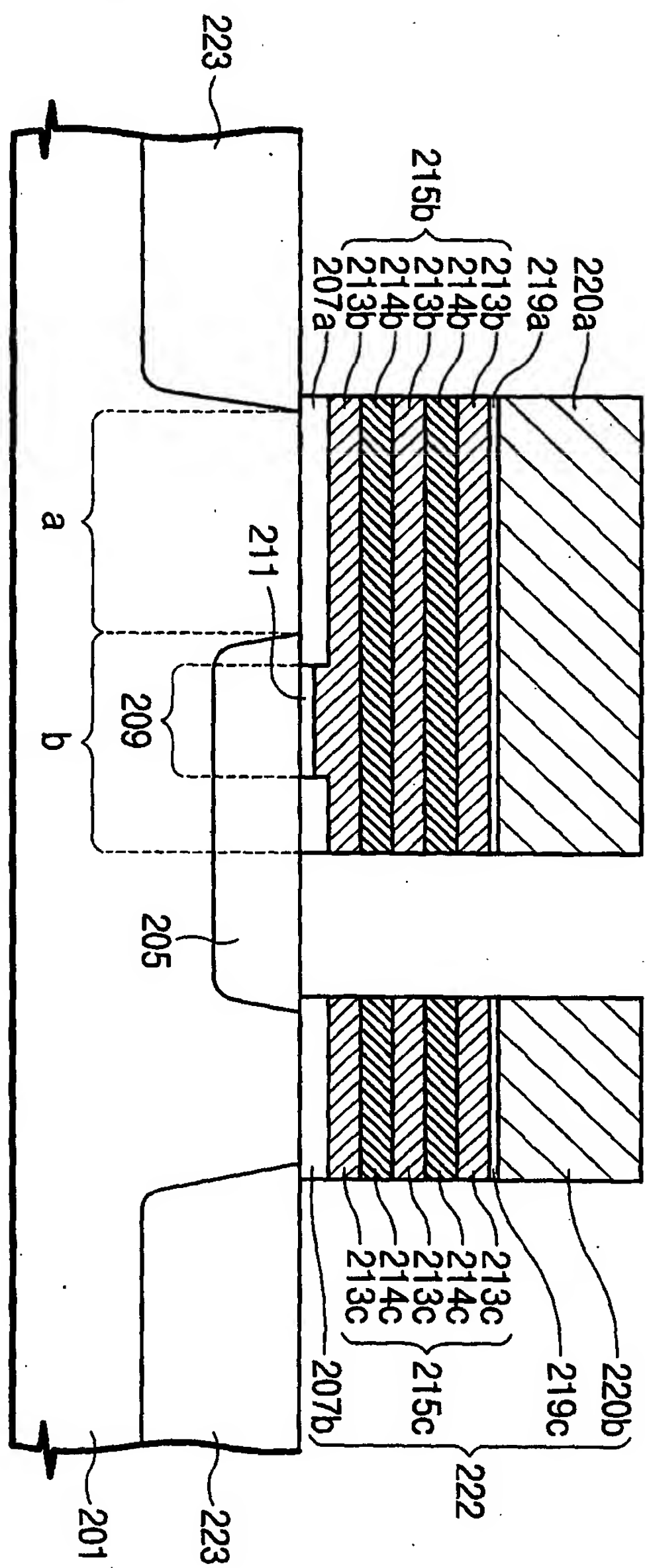
【도 8】



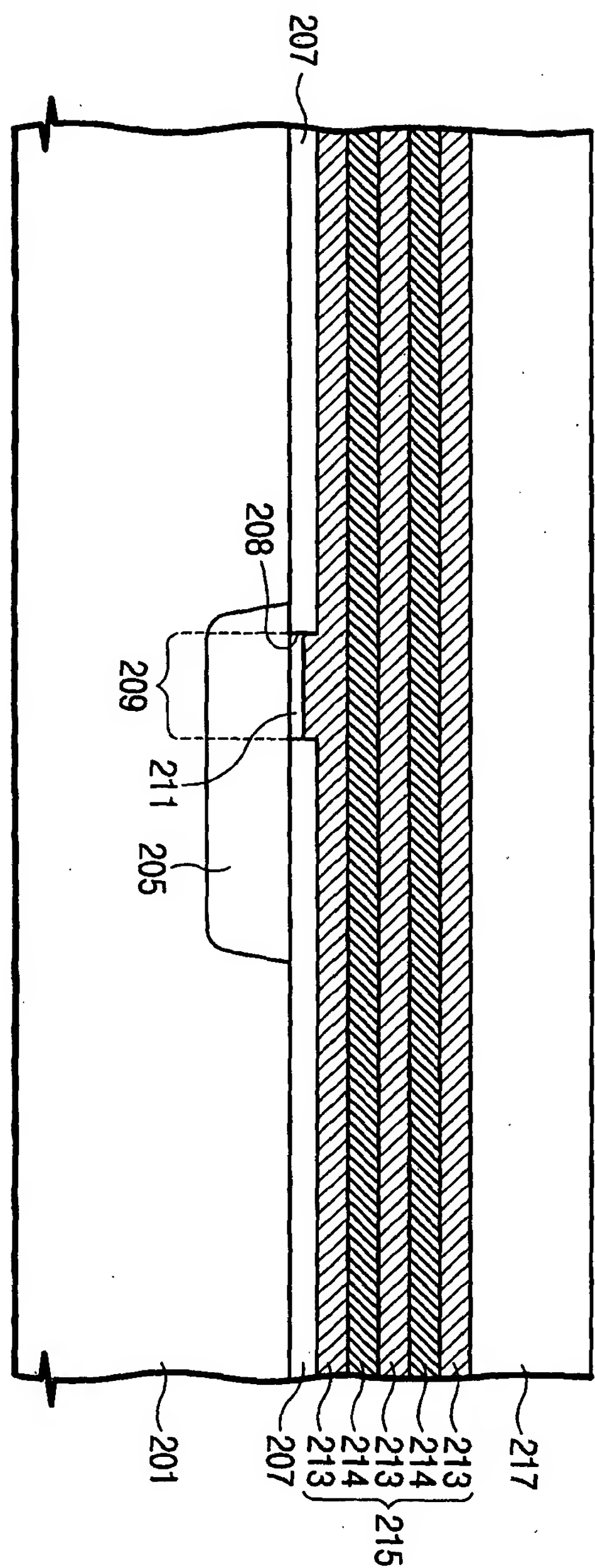
【도 9】



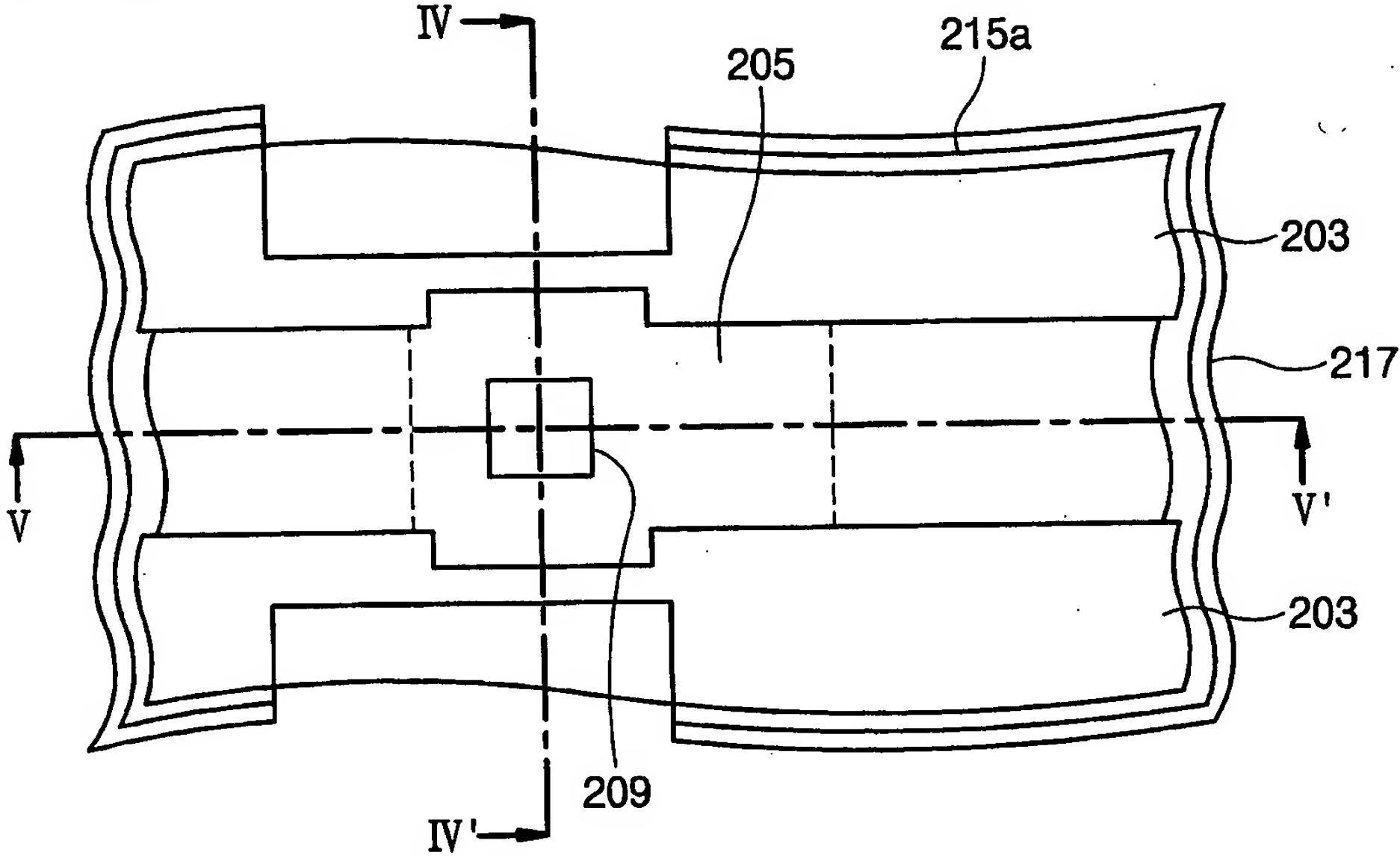
【도 10】



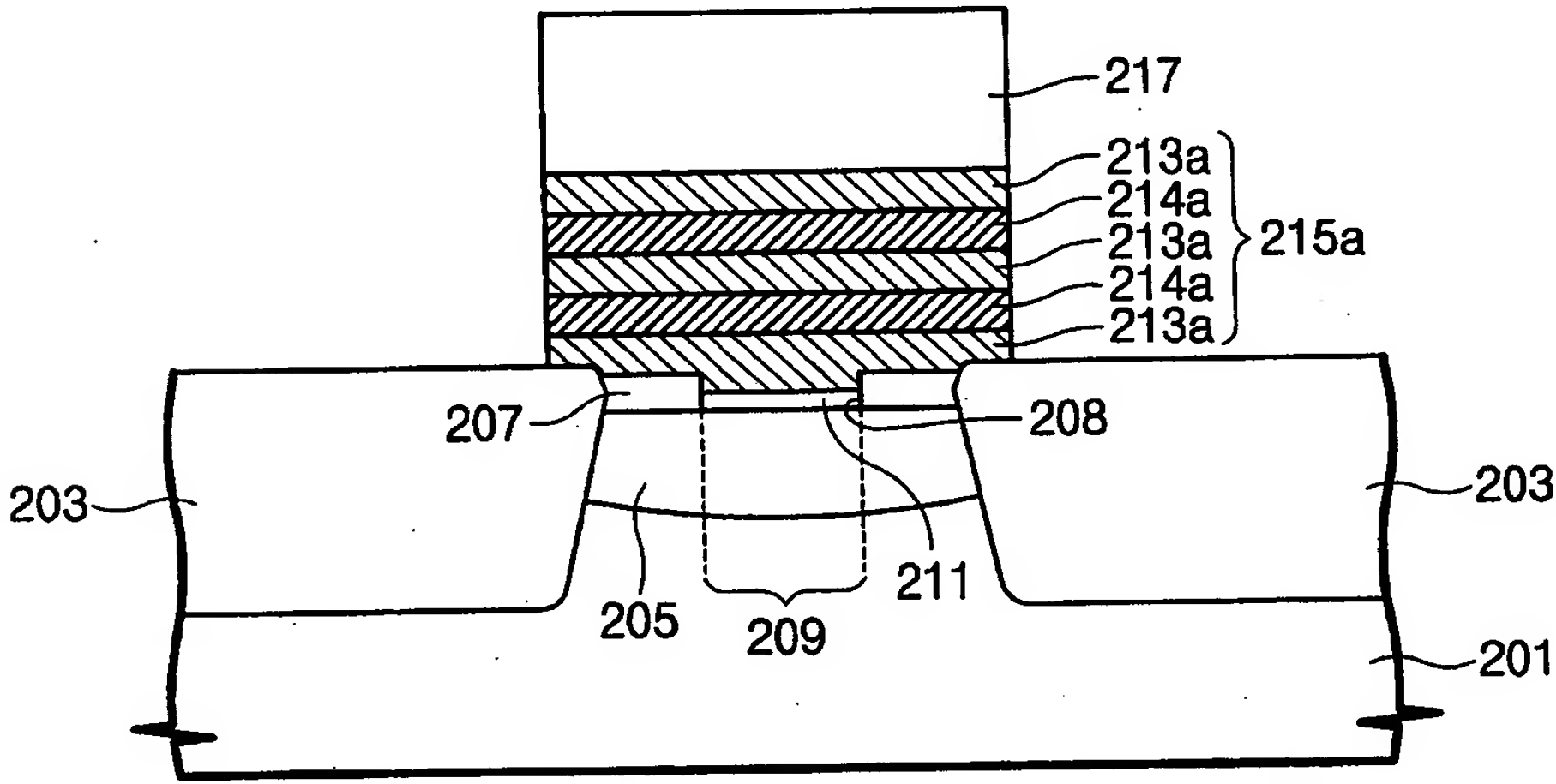
【도 11c】



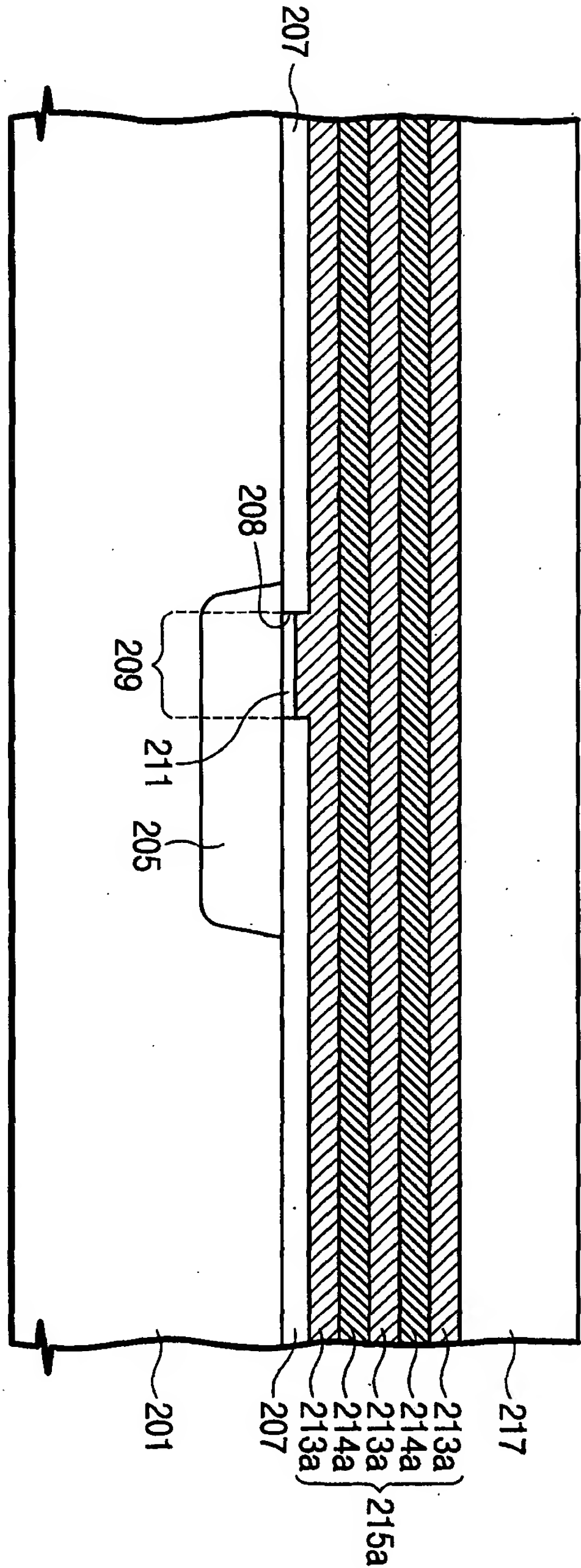
【도 12a】



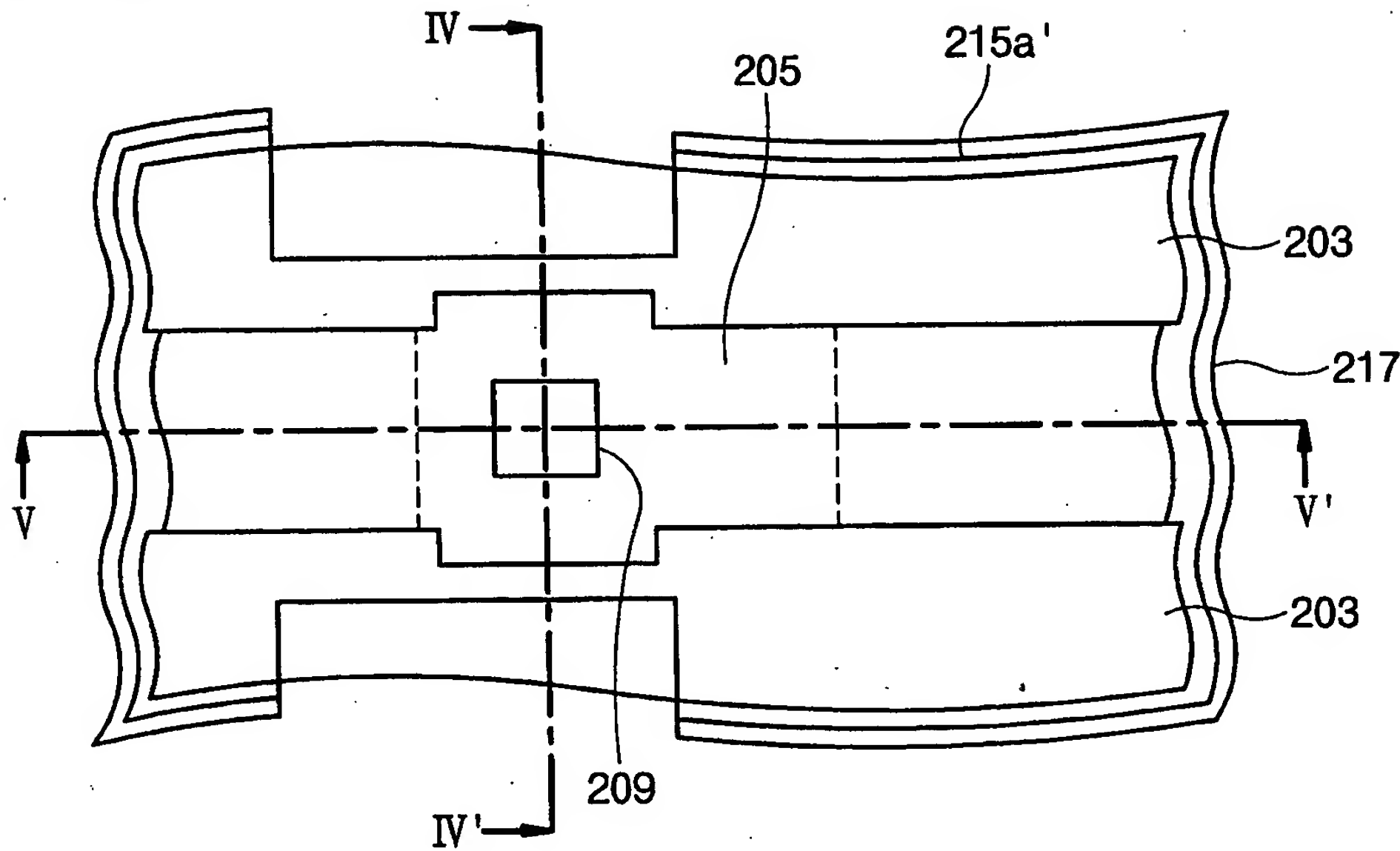
【도 12b】



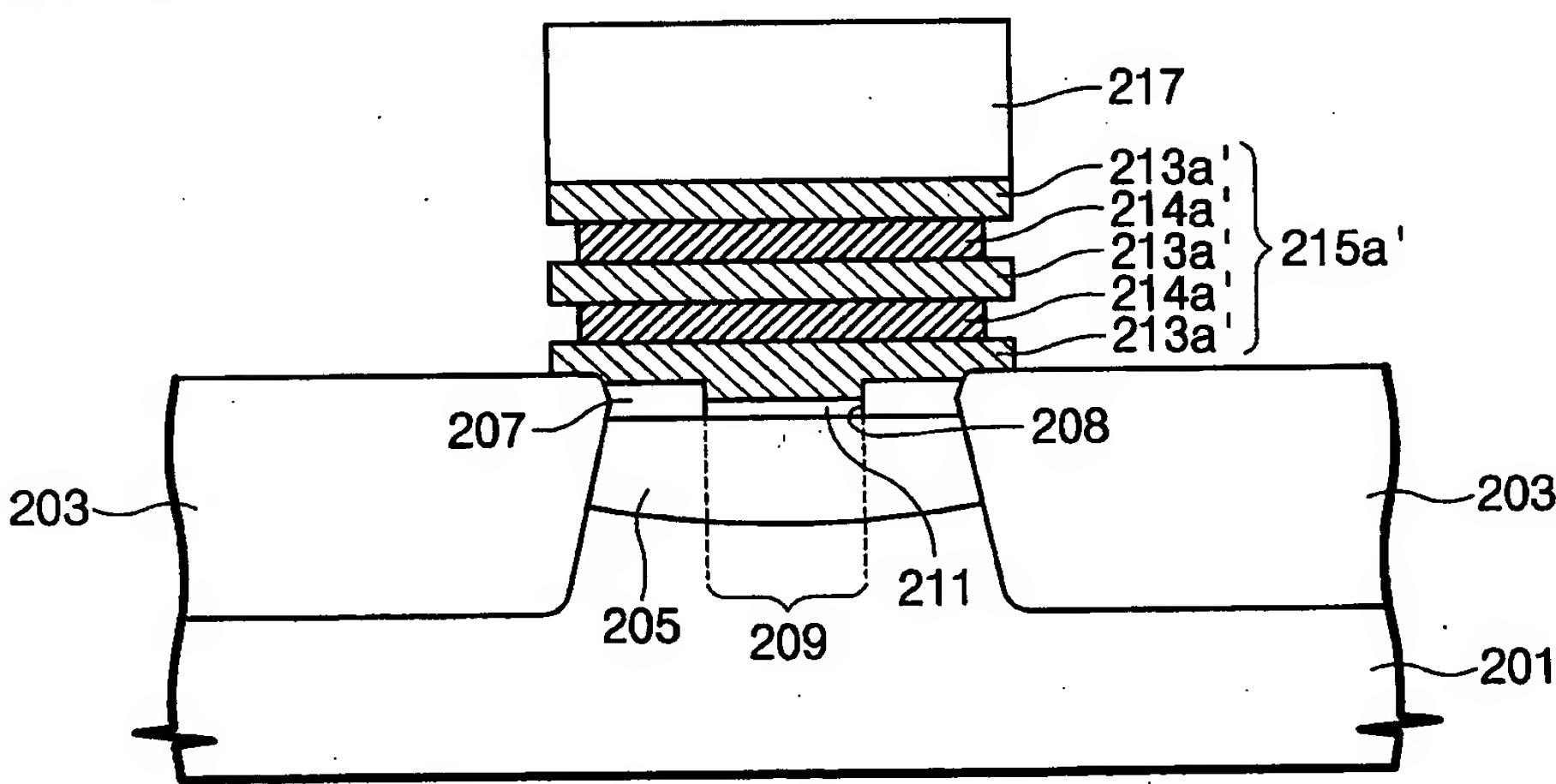
【도 12c】



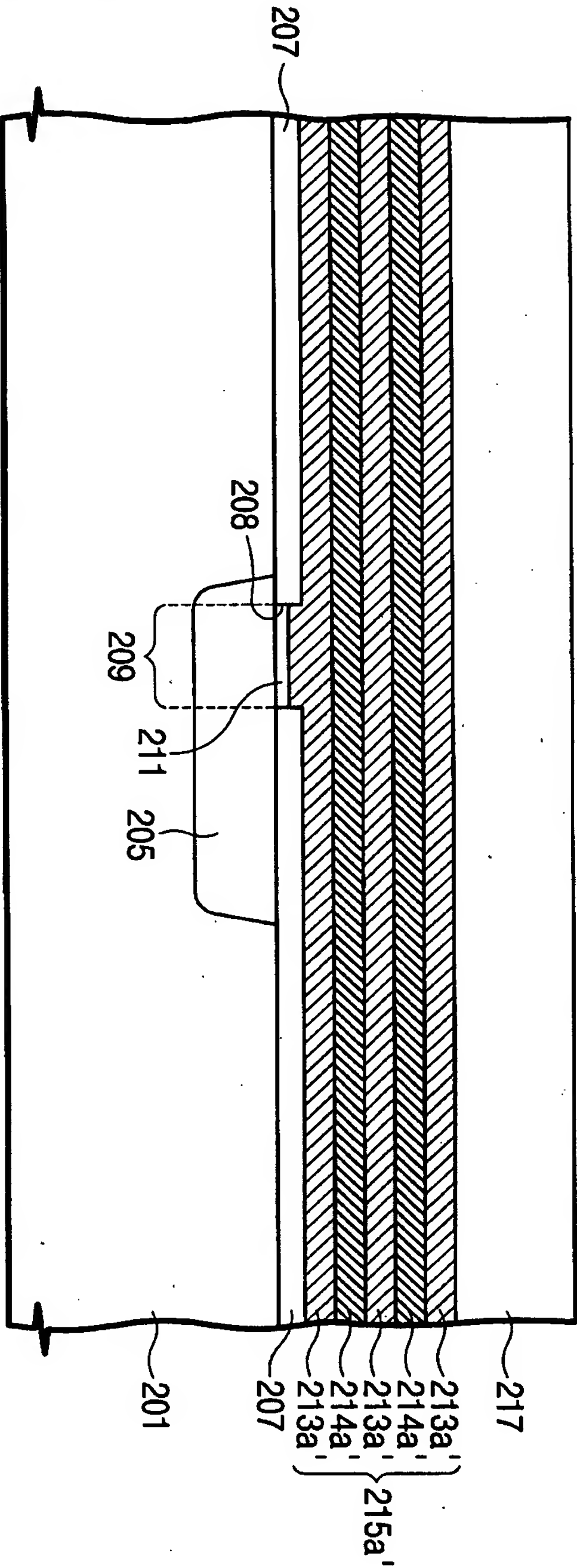
【도 13a】



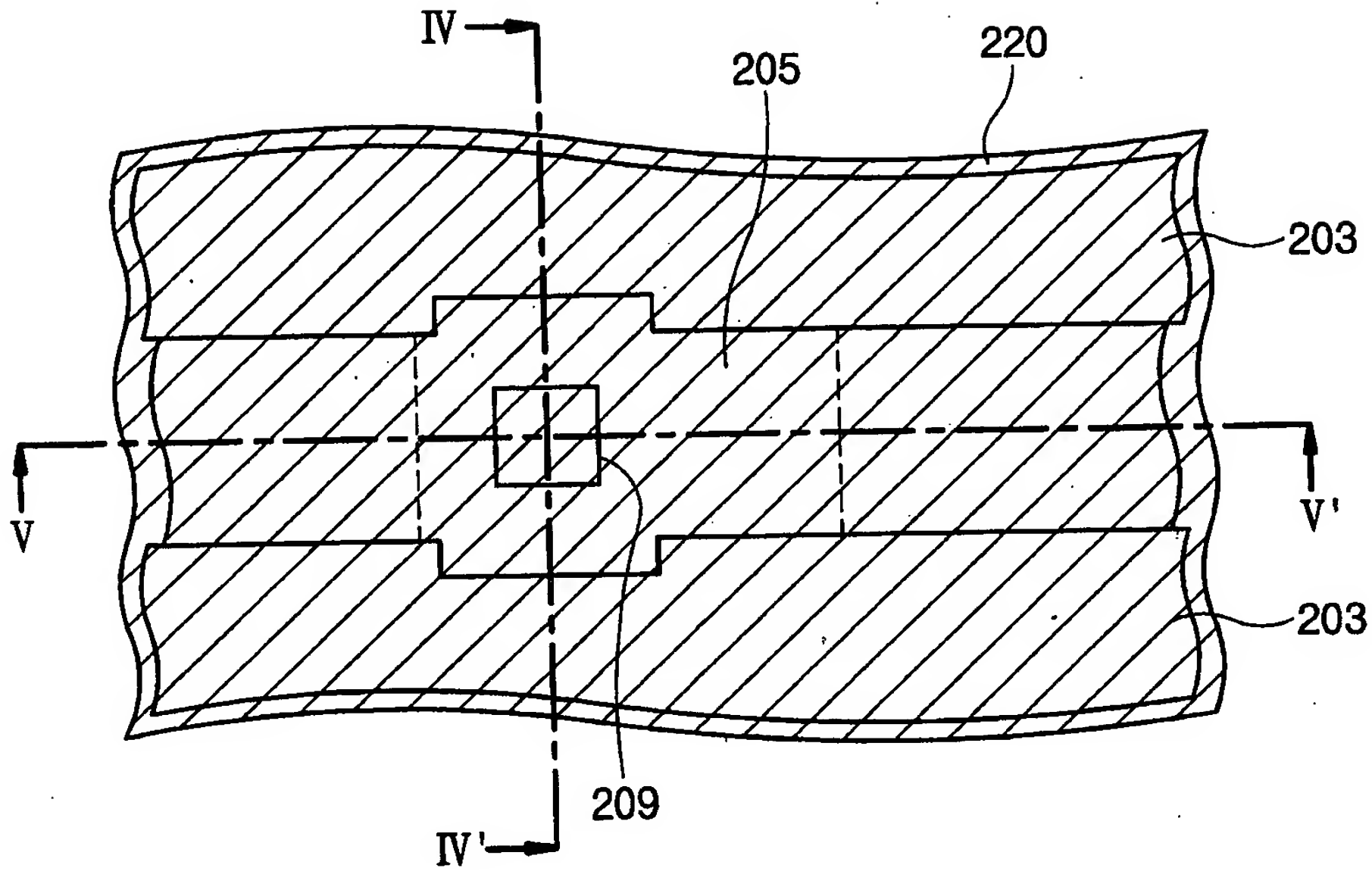
【도 13b】



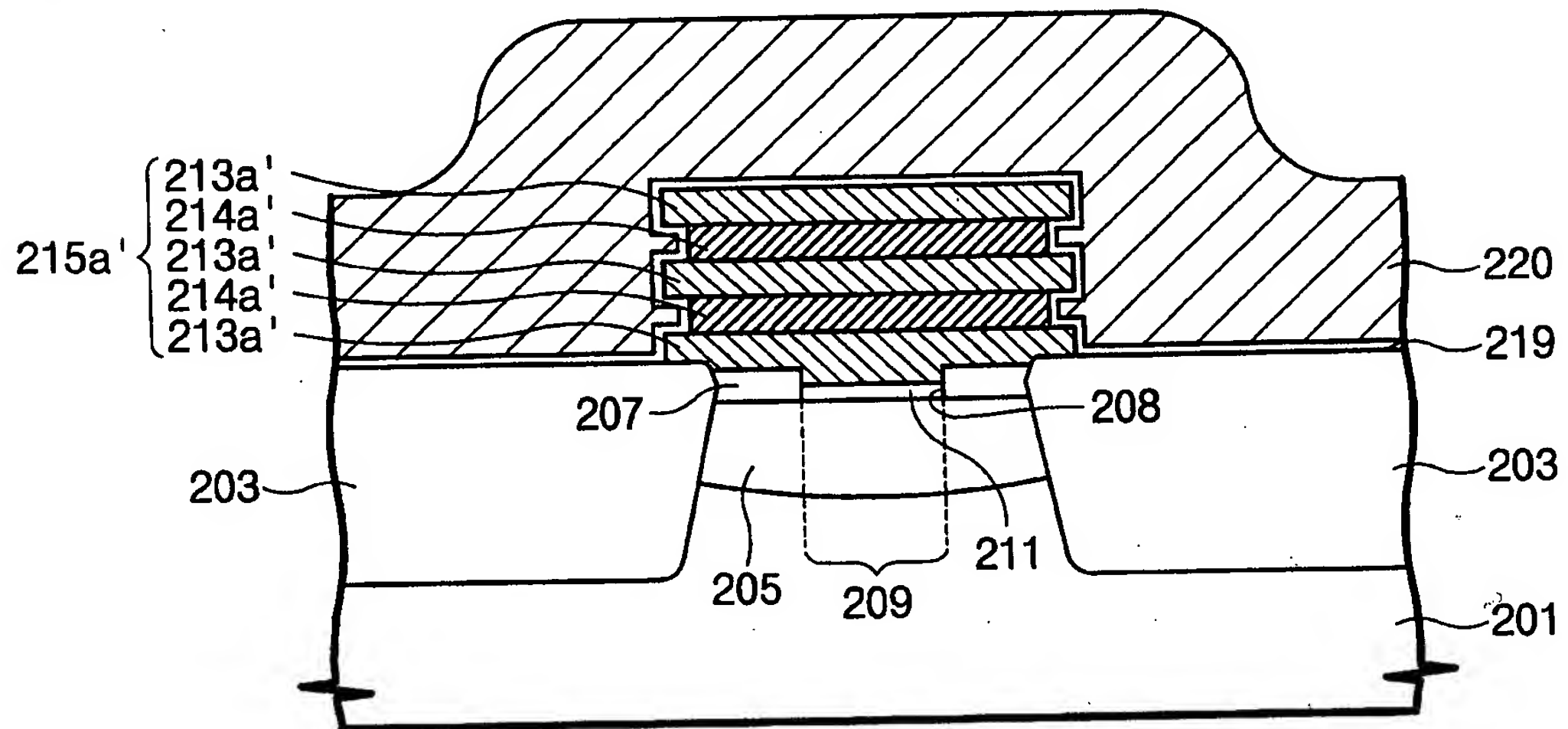
【도 13c】



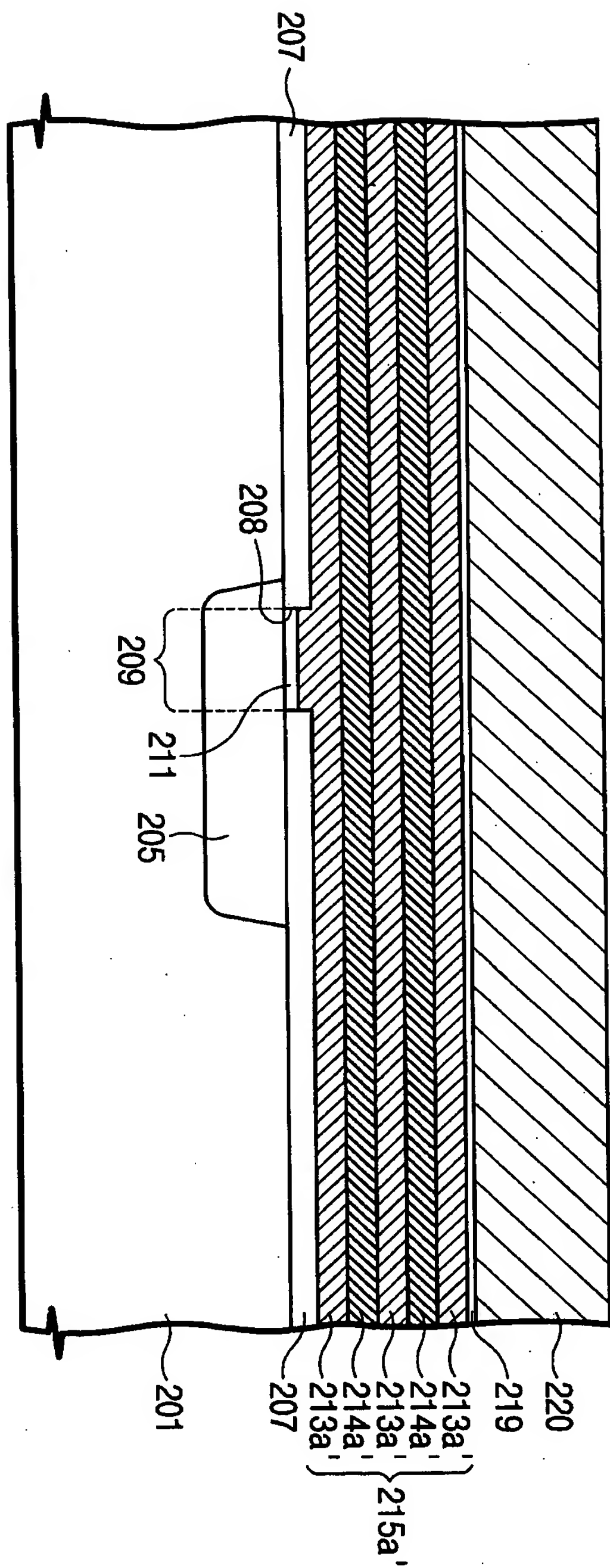
【도 14a】



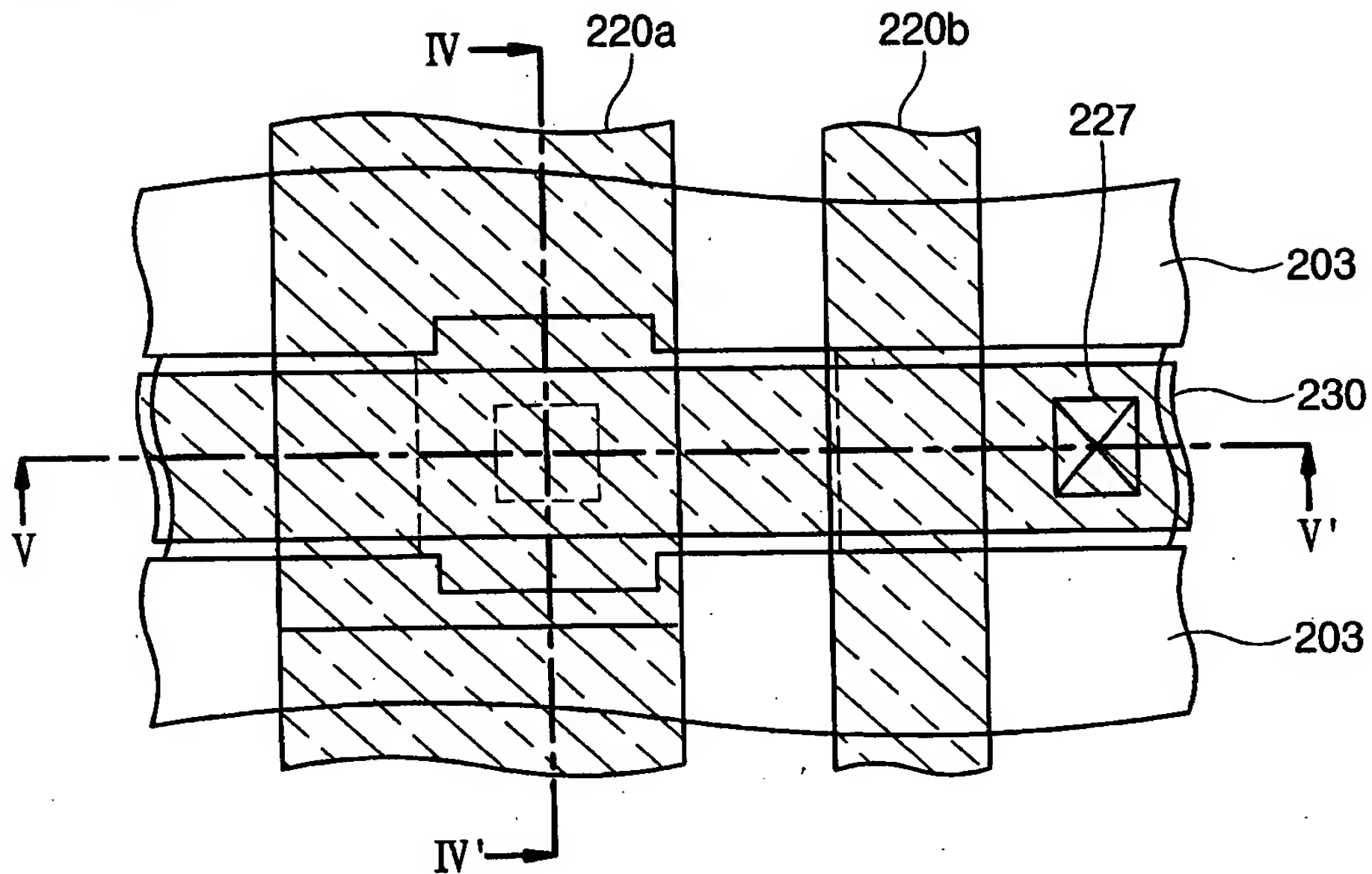
【도 14b】



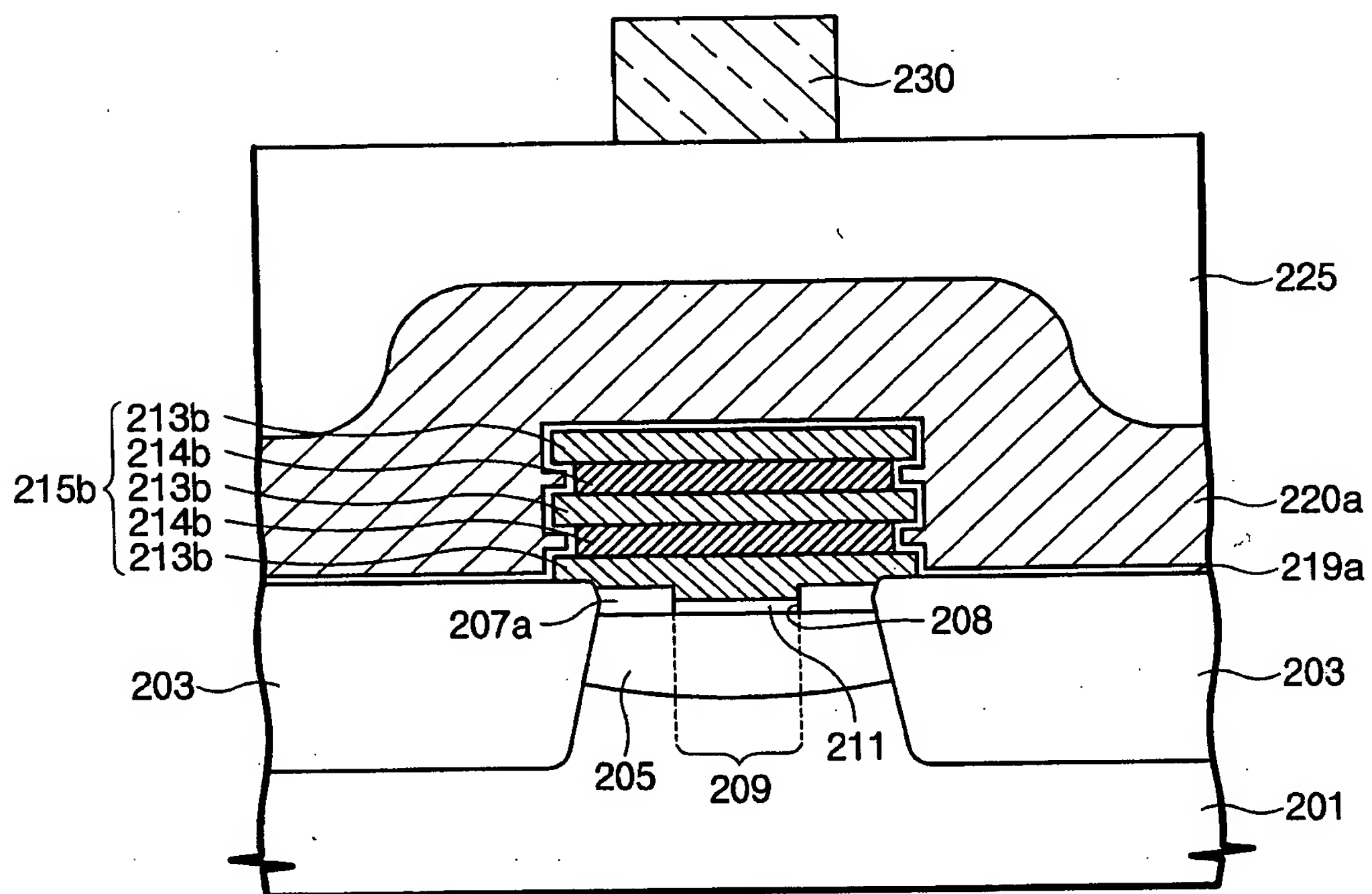
【도 14c】



【도 15a】



【도 15b】



【도 15c】

